

(19) 대한민국특허청 (KR)
(12) 등록특허공보 (B1)

(51) . Int. Cl. 6
H01L 21/205

(45) 공고일자 2001년10월19일
(11) 등록번호 10 - 0306407
(24) 등록일자 2001년08월09일

(21) 출원번호	10 - 1998 - 0029557	(65) 공개번호	특1999 - 0014078
(22) 출원일자	1998년07월22일	(43) 공개일자	1999년02월25일

(30) 우선권주장	97 - 195617	1997년07월22일	일본 (JP)
(73) 특허권자	닛뽕덴끼 가부시끼가이샤 가네꼬 히사시 일본 도오쿄도 미나토꾸 시바 5초메 7방 1고		
(72) 발명자	다구와 데쓰야 일본 도오쿄도 미나토꾸 시바 5초메 7방 1고 닛뽕덴끼 가부시끼가이샤나이		
(74) 대리인	특허법인코리아나		

심사관 : 김중찬

(54) CVD장치의챔버클리닝방법

요약

CVD 공정의 처리량을 증가시키고 클리닝 시간을 감소시키는 CVD 장치의 챔버 클리닝 방법이 제공된다. 금속 또는 금속 화합물의 원하는 막은 소스 가스 (source gas) 의 환원 분해 반응을 통하여, CVD 장치의 반응 챔버에 위치된 반도체 기판에 형성된다. 소스 가스는 원하는 막의 금속 원소를 함유하는 금속 할로겐화물 (metal halide) 가스이다. 상기 기판에 원하는 막이 형성되는 것에 더해서 챔버의 내부 노출 표면에 원하는 막과 동일한 금속 또는 금속 화합물의 원하지 않는 막이 형성된다. 먼저, (a) 상기 원하는 막이 형성된 반도체 기판을 CVD 장치의 반응챔버로부터 꺼낸다. 다음으로, (b) 에칭 작용을 갖는 클리닝 가스와 희석 가스를 (a) 단계 후에 CVD 장치의 상기 반응챔버 안으로 공급하여, 클리닝 가스의 에칭 작용에 의해서 반응챔버의 내부 노출 표면으로부터 원하지 않는 막을 제거한다. 클리닝 가스는 원하는 막의 금속 원소를 함유하는 금속 할로겐화물 가스이다. 원하지 않는 막을 에칭함으로써 챔버에 에칭 잔여물이 생성된다. 마지막으로, (c) CVD 장치의 반응챔버 안으로 공급된 클리닝 가스와 희석 가스를 에칭 잔여물과 함께 챔버로부터 배출한다.

대표도
도 3a

명세서

도면의 간단한 설명

도 1a 와 1b 는 각각 플라즈마 (plasma) CVD 장치의 개략적인 단면도이고, 종래의 클리닝 방법은 반도체 기판에 금속 또는 금속 화합물을 형성하는 플라즈마 강화 CVD 공정 후에 수행된다.

도 2a 내지 2c 는 각각 열 (thermal) CVD 장치의 개략적인 단면도이고, 다른 종래의 챔버 클리닝 방법이 반도체 기판에 금속 또는 금속 화합물을 형성하는 열 CVD 공정 후에 수행된다.

도 3a 내지 3d 는 각각 플라즈마 CVD 장치의 개략적인 단면도이고, 본 발명의 제 1 실시예에 따른 챔버 클리닝 방법은 반도체 기판 상에 금속 또는 금속 화합물을 형성하는 플라즈마 CVD 공정 후에 수행된다.

도 4 는 도 3a 내지 3d 에 도시된 플라즈마 CVD 장치를 포함하는 플라즈마 CVD 시스템의 개략적인 평면도이다.

도 5a 내지 5d 는 각각 열 CVD 장치의 개략적인 단면도이고, 본 발명의 제 2 실시예에 따른 챔버 클리닝 방법은 반도체 기판 상에 금속 또는 금속 화합물 막을 형성하는 열 CVD 공정 후에 수행된다.

도 6a 와 6b 는 각각 열 CVD 장치의 개략적인 단면도이고, 본 발명의 제 3 실시예에 따른 챔버 클리닝 방법은 반도체 기판에 금속 또는 금속 화합물 막을 형성하는 열 CVD 공정 후에 수행된다.

※ 도면의 주요부분에 대한 부호의 설명

- 100 : 플라즈마 CVD 장치 101, 201 : 반응챔버
- 102 : 상부 전극 103 : 전극을 구비한 서셉터 (susceptor)
- 104 : DC 전원 105, 205 : 배기관
- 106, 206 : 가스 도입구 107, 207 : 반도체 기판
- 108 : 압력 조정 밸브 109 : RF 전원
- 110, 210: 진공 챔버 중에 부착한 막
- 111, 211 : $TiCl_4$ /Ar 혼합 가스 114 : 진공 펌프 시스템
- 200 : 열 CVD 장치 202 : 가스 배출구
- 203 : 가열형 서셉터 101a, 101b : 제 1, 제 2 반응챔버
- 101c : 이송 챔버 101d : 카세트 챔버
- 101e : 냉각 챔버 102a : 방출 홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화학 기상 증착 (CVD) 장치에 관한 것이고, 더욱 상세히는 원소 금속 (elementary metal) 또는 금속 화합물 막이 반도체 기판 또는 웨이퍼에 형성되는 CVD 장치의 반응챔버를 금속 할로젠화물 가스의 환원 분해 화학 반응을 통하여 클리닝하는 방법에 관한 것이다.

최근에, 대규모 집적 회로 (LSI) 의 집적화 레벨의 증가와 함께 콘택트 홀의 소형화가 더욱 진행되고 그 결과로서, 콘택트 홀의 종횡비 (aspect ratio) 가 더욱 커지게 되었다. 여기에서, 종횡비는 콘택트 홀의 직경에 대한 콘택트 홀의 깊이의 비율로서 정의된다.

상기와 같은 상황하에서, 스퍼터링 공정에 의해서 증착된 알루미늄 (Al) 으로 전형적으로 만들어진 종래의 배선 또는 상호 연결 막은 다양한 단점을 갖는 경향이 있다. 예컨대, 배선 또는 상호 연결 막의 접촉 저항 (contact resistance) 이 높아지고 막의 낮은 단차 피복성 (low step coverage property) 에 기인하여 배선 또는 상호 연결 막 그 자체가 콘택트 홀의 윈도우 (window) 에서 단선된다. 또한, Al 막은 작동 중에 일렉트로마이그레이션 (electromigration) 현상에 기인하여 단선되는 경향이 있어서, 그 신뢰도를 낮춘다.

이러한 단점을 피하기 위해서, 다양한 금속 플러그 (metal plug) 가 상부 도전층과 하부 도전층을 전기적으로 상호 접속하기 위해서 개발되었다. 이 경우에, 상부와 하부 도전층은, 상부와 하부 도전층 사이의 개재 유전체 막 (intervening dielectric film) 의 콘택트 홀을 매립하는 금속 플러그를 통하여 전기적으로 상호 접속된다.

이러한 금속 플러그의 전형적인 예는 양호한 단차 피복성을 가지며 플라즈마 CVD 공정에 의해서 형성된 텅스텐 (W) 플러그이다.

먼저, W 플러그의 경우에, 티탄 (Ti) 박막이 스퍼터링 공정에 의해서 콘택트 홀과 함께 유전체 막에 형성되어서, Ti 막은 유전체 막의 표면뿐만 아니라 그 콘택트 홀에 증착된다. Ti 박막은 하부 도전층으로서 실리콘 기판과의 접촉 저항을 낮추는 작용을 한다.

다음으로, 질화 티탄 (TiN) 막은 이와 같이 증착된 전체 Ti 막 상에 스퍼터링 공정에 의해 형성된다. TiN 막은 Ti 막에의 W 막의 부착 강도를 개선시키고 W 막의 W 원자가 실리콘 기판으로 들어가는 것을 막는 작용을 한다. Ti 와 TiN 막은 금속 배리어 (barrier) 로서 작용한다.

그 후에, W 플러그를 형성하는 W 막이 CVD 공정에 의해서 전체 TiN 막 상에 형성된다.

마지막으로, 유전체 막 표면상의 불필요한 W, TiN 및 Ti 막이 에치 백 (etch back) 되어서, W, TiN 및 Ti 막을 선택적으로 그 콘택트 홀에 남긴다. 따라서, TiN 및 Ti 막 상에 위치된 W 플러그는 유전체 막의 각 콘택트 홀에 형성된다.

그러나, 콘택트 홀의 종횡비가 더욱 증가한다면, W 플러그를 위해 증착된 TiN 및 Ti 막은 콘택트 홀에서 만족할만한 큰 두께를 가질 수 없게 된다. 이는 접촉 저항의 증가와 기판 상의 전자 장치 또는 소자의 손상과 같은 문제를 야기한다.

이러한 문제가 발생하는 것을 방지하기 위해서, Ti 및 TiN 막은 CVD 공정에 의해서 형성될 수도 있다. 그러나, 이러한 경우에는 다음의 문제가 발생하는 경향이 있다.

특히, CVD 공정에 의해서 각 Ti 및 TiN 막이 형성된다면, Ti 또는 TiN 막은 기판뿐만 아니라 CVD 장치의 반응챔버의 내부 노출 표면상에도 증착되어지는 경향이 있다. 챔버의 내부 표면에 증착되어진 이러한 원하지 않는 Ti 또는 TiN 막은 Ti 또는 TiN 막이 특정 두께를 갖도록 커졌을 때 떨어진다. 이렇게 떨어진 Ti 또는 TiN 막은 챔버 내에서 발생하는 미립자 오염을 야기한다. 이러한 문제는 다음에 도 1a 와 1b 를 참조하여 상세하게 설명한다.

도 1a 와 1b 는 플라즈마 CVD 장치의 전형적인 구성을 간략하게 도시한다.

도 1a 와 1b 에 도시된 플라즈마 CVD 장치 (1100) 는 반응챔버 (1101) 와, 챔버 (1101) 의 상부벽에 고정된 상부전극 (1102) 과, 챔버 (1101) 의 내부 저부벽에 고정된 서셉터 또는 기판 홀더 (1103) 와, 챔버 (1101) 의 외부에 제공된 고주파 (RF) 전원 (1109) 과, 챔버 (1101) 의 외부에 제공된 직류 (DC) 전원 (1104) 과, 챔버 (1101) 의 외부에 제공된 진공 펌프 시스템 (1114) 을 구비한다.

RF 전원 (1109) 에 전기적으로 접속된 상부전극 (1102) 은, 내부 공간 (1113) 과 방출홀 (1102a) 을 구비한다. 작동시 상부전극 (1102) 에 특정 RF 전력이 제공된다. 내부 공간 (1113) 은 반응챔버 (1101) 의 가스 도입구 (1106) 를 통하여, 챔버 (1101) 의 외부에 제공된 가스 소스 (도시 안됨) 와 통한다. 방출홀 (1102a) 은 챔버 (1101) 의 반응공간 (1112) 과 통한다. 내부 공간 (1113) 에 공급된 가스들은 공간 (1113) 에서 혼합되고, 방출홀 (1102a) 을 통하여 반응공간 (1112) 으로 방출된다.

반응챔버 (1101) 의 내부 (즉, 반응 공간 (1112)) 는 챔버 (1101) 의 가스 배출구 (1105) 를 통하여 진공펌프 시스템 (1114) 과 통한다. 압력조정 밸브 (1108) 는 가스 배출구 (1105) 에 제공된다. 반응공간 (1112) 에 있는 가스 또는 가스들은 진공펌프 시스템 (1114) 에 의해서 배출되어 공간 (1112) 에 진공 분위기를 만든다. 공간 (1112) 내의 압력은 압력조정 밸브 (1108) 에 의해서 조절된다.

서셉터 (1103) 는 DC 전원 (1104) 과 전기적으로 접속된다. 특정 DC 전압이 서셉터 (1103) 와 작동시 그 위에 위치되는 기판 (1107) 에 인가된다.

포토리소그래피 (photolithography), 드라이 에칭 (dry etching) 및 막증착 (film deposition) 과 같은 공지된 제조공정을 통하여 다수의 반도체 장치가 그 위에 제조된 실리콘 웨이퍼 또는 기판 (1107) 상에 Ti 막이 형성될 때, 먼저, 실리콘 기판 (1107) 은 CVD 장치 (1100) 의 반응챔버 (1101) 내로 이송되고 서셉터 (1103) 상에 위치된다. 이 단계 이전에 챔버 (1101) 의 반응공간 (1112) 에 특정 진공 분위기가 생성된다.

다음으로, 4 염화 티탄 ($TiCl_4$), 아르곤 (Ar) 및 수소 (H_2) 가스가 반응챔버 (1101) 의 가스 도입구 (1106) 를 통하여 상부 전극 (1102) 의 내부 공간 (1113) 에 공급되고 그 안에서 혼합된다. 이와 같이 제조된 $TiCl_4$, Ar 및 H_2 의 가스 혼합물은 상부전극 (1102) 의 방출홀 (1102a) 을 통하여 기판 (1107) 을 향하여 방출된다. 따라서, $TiCl_4$, Ar 및 H_2 가스 혼합물이 챔버 (1101) 의 반응공간 (1112) 으로 공급된다.

한편, 도 1a 에 도시된 바와 같이, 특정 DC 바이어스 (bias) 전압이 DC 전원 (1104) 에 의해서 기판 (1107) 에 인가됨과 동시에, 특정 RF 전력이 RF 전원 (1109) 에 의해서 상부 전극 (1102) 에 공급되어서, 챔버 (1101) 의 반응공간 (1112) 에 $TiCl_4$, Ar 및 H_2 의 플라즈마 (1111) 를 만든다.

따라서, 약 10 내지 30 nm 두께의 Ti 막 (도시 안됨) 이 플라즈마 CVD 공정에 의해서 기판 (1107) 에 형성된다.

CVD 공정 동안에, 도 1a 에 도시된 바와 같이, 원하지 않는 Ti막 (1110) 이 진공챔버 (1101), 상부 전극 (1102) 및 서셉터 (1103) 의 내부 벽의 몇몇 영역에 증착되는 경향이 있다. 이와 같이, 증착된 원하지 않는 Ti막 (1110) 은 상기 CVD 공정이 수행될 때마다 커지게 된다.

상기 CVD 공정이 반복된 후 원하지 않는 Ti막 (1110) 이 도 1a 에 도시된 플라즈마 CVD 장치에서 약 수백 배의 특정 두께를 갖도록 커진다면, 원하지 않는 Ti막 (1110) 의 일부분 이상은 챔버 (1101), 상부전극 (1102) 또는 서셉터 (1103) 로부터 떨어지려는 경향이 있다. 떨어진 Ti막 (1110) 은 챔버 (1101) 의 반응 공간 (1112) 에 다소의 미립자 오염물을 발생시킬 것이다.

또한, 원하지 않는 Ti막 (1110) 이 떨어지지 않을지라도, 반응 공간 (1112) 의 분위기는 원하지 않는 Ti막 (1110) 에 의해 나쁘게 영향을 받는다. 따라서, 기판 (1107) 상에의 Ti 막의 성장 속도 및/또는 품질이 떨어진다.

특히, 미립자 오염물이 Ti 막을 위한 상기 CVD 공정 동안에 기판 (1107) 과 접촉한다면, 배선 또는 상호 연결 라인은 단락 (short-circuit) 되는 경향이 있다. 이러한 문제는 기판 (1107) 상에 제조되어질 반도체 장치의 제조 수율을 낮춘다. 따라서, 반응챔버 (1101) 에 증착된 원하지 않는 Ti 막 (1110) 은 상기 CVD 공정이 특정 횟수 반복될 때마다 클리닝 공정에 의해서 제거되어질 필요가 있다.

이런 종류의 종래 클리닝 방법의 일 예가 도 1b 에 도시되고, 원하지 않는 Ti 막 (1110) 은 6 플루오르화 2 탄소 (C_2F_6) 및 아르곤 (Ar) 의 플라즈마 (1121) 를 사용하여 제거된다. 원하지 않는 Ti 막 (1110) 은 플라즈마 (1121) 와 약 30 분 동안 접촉되어 제거되어진다.

플라즈마 (1121) 는 C_2F_6 이외의 다른 할로젠화물 (halide) 을 사용하여 생성될 수도 있다.

이러한 종래의 클리닝 방법에서, 이러한 클리닝 공정을 통하여 생성된 원하지 않는 잔여물을 제거하기 위해서, Ar 과 H_2 의 플라즈마가 반응챔버 (1101) 에서 생성되고 포스트-클리닝 (post-cleaning) 공정으로서 약 10 분 동안 유지된다. 이러한 포스트-클리닝 공정이 끝난 후에, 본래의 CVD 공정이 이러한 CVD 장치 (1100) 에서 재시작 될 수 있을 것이다.

상기한 종래 클리닝 방법으로, 챔버 (1101) 의 반응 공간 (1112) 은 포스트 클리닝 공정 후에 충분히 클리닝된다. 그러나, C_2F_6 와 같은 클리닝 가스나 포스트 클리닝 공정 중에 제조되어진 원하지 않는 잔여물은, 도입부 (1106), 배출부 (1105) 및 압력 조정 밸브 (1108) 와 같은 공급 및 배출 튜브 및/또는 밸브에 남겨지는 경향이 있다. 이와 같이 남겨진 클리닝 가스 및 잔여물은 챔버 (1101) 의 분위기에 나쁘게 영향을 끼친다.

이와 같은 나쁜 영향을 피하기 위해서, 더미 (dummy) CVD 공정이 다섯 번 이상 수행되어질 필요가 있으며 이에 의해서 원하지 않는 클리닝 가스와 잔여물을 완전히 제거한다.

상기 금속 플러그의 다른 예로써, 열 CVD 공정에 의해서 형성된 질화 티탄 (TiN) 플러그가 상기한 W 플러그 대신에 연구되어왔다. 이는 열 CVD 공정이 플라즈마 CVD 공정보다 더 좋은 단차 피복성을 갖기 때문이다.

도 2a 와 2b 는 TiN 플러그를 형성하는데 사용되는 열 CVD 장치 (1200) 의 전형적인 구성을 간략하게 도시한다. 이 장치 (1200) 는 도 1a 에 도시된 플라즈마 CVD 장치 (1100) 의 구성과 동일한 구성을 갖는다.

다수의 반도체 장치가 제조되는 실리콘 기판 (1107) 에 TiN 이 형성되면, 먼저, 실리콘 기판 (1107) 은 CVD 장치 (1200) 의 반응챔버 (1101) 안으로 이송되고 나서, 서셉터 (1103) 상에 위치된다. 이 단계 이전에, 챔버 (1101) 의 반응 공간 (1112) 에 특정 진공 분위기가 만들어진다.

다음에, 4 염화 티탄 ($TiCl_4$), 암모니아 (NH_3) 및 수소 (H_2) 가스들이 반응챔버 (1101) 의 가스 도입구 (1106) 를 통하여 상부 전극 (1102) 의 내부 공간 (1113) 으로 공급되고, 그 안에서 혼합된다. 이와 같이 제조된 $TiCl_4$, NH_3 및 H_2 가스 혼합물은 상부 전극 (1102) 의 방출 홀 (1102a) 을 통하여 기판 (1107) 을 향하여 방출된다. 따라서 $TiCl_4$, NH_3 및 H_2 가스 혼합물은 챔버 (1101) 의 반응 공간 (1102) 안으로 공급된다.

도 2a 에 도시된 바와 같이, 어떠한 플라즈마도 사용되지 않으므로, 어떠한 DC 바이어스 전압도 기판 (1107) 으로 인가되지 않으며 어떠한 특정 RF 전력도 상부 전극 (1102) 으로 공급되지 않는다.

따라서, TiN 막 (도시 안됨) 이 열 CVD 공정에 의해서 실리콘 기판 (1107) 상에 형성된다.

이러한 CVD 공정 중에, 원하지 않는 TiN 막 (1210) 은 도 2a 에 도시된 바와 같이, 진공 챔버 (1101) 의 내부 벽, 상부 전극 (1102) 및 서셉터 (1103) 의 몇몇 영역에 증착되어지는 경향이 있다. 이와 같이 증착된 원하지 않는 TiN 막 (1210) 은 상기 CVD 공정이 수행되어질 때마다 커질 것이다.

TiN 플러그의 경우에, TiN 막은 단일 CVD 공정을 통하여 수천 옴스트롱의 큰 두께를 갖도록 형성되는 것이 필요하다. 따라서, 원하지 않는 TiN 막 (1210) 은 Ti 막 (1110) 의 두께보다 더 큰 두께를 가지는 경향이 있다. 따라서, 챔버 클리닝의 간격은 Ti 막의 경우보다 더 짧아져야 한다.

예컨대, 도 2b 에 도시된 바와 같이, C_2H_6 와 Ar 의 플라즈마를 사용하는 상기 클리닝 방법이 사용된다면, 이러한 클리닝 방법은 CVD 공정이 Ti 막 (1110) 에서의 약 100 회 보다 작은 약 50 회 반복될 때마다 수행되어질 필요가 있다.

또한, Ti 막의 경우와는 다르게, 열 반응이 TiN 막의 증착을 위해 사용되어진다. 따라서, 원하지 않는 TiN 막 (1210) 은 도 2b 에 도시된 바와 같이, Ti 막의 경우보다 반응챔버 (1101) 의 내부 노출 표면의 더 넓은 영역에 증착되어지는 경향이 있다.

따라서, 도 2b 에 도시된 상기와 같은 챔버 클리닝 방법이 TiN 막 (1210) 에 사용된다면, 도 2c 와 같이 원하지 않는 TiN 막 (1210) 의 일부분이 남겨지는 경향이 있는 문제가 있다. 이는 플라즈마 (1211) 가 상부 전극 (1102) 과 서셉터 (1103) 사이의 영역에서 국부적으로 발생되고 플라즈마 (1211) 의 이방적 에칭 작용이 상부 전극 (1102) 과 서셉터 (1103) 에 의해서 차단되기 때문이다.

열 CVD 장치 (1200) 는 챔버 클리닝만을 위하여 매우 비싼 플라즈마 발생 장치를 구비할 필요가 있다는 다른 문제점이 있다. 이는 열 CVD 장치 (1200) 의 제조비와 이 장치 (1200) 를 사용하여 제조되는 반도체 장치의 제조비를 증가시킨다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 CVD 공정의 처리량을 증가시키고 클리닝 시간을 감소시키는 CVD 장치의 챔버 클리닝 방법을 제공하는 것이다.

본 발명의 다른 목적은 플라즈마의 사용 없이 CVD 장치의 반응챔버의 내부를 클리닝하는 CVD 장치의 챔버 클리닝 방법을 제공하는 것이다.

본 발명의 다른 목적은 반도체 기판 상에 형성된 원하는 막의 품질이 수행되는 CVD 공정의 수에 의존하지 않고 안정한, CVD 장치의 챔버 클리닝 방법을 제공하는 것이다.

본 발명의 다른 목적은 CVD 장치의 제조비를 감소시키는, CVD 장치의 챔버 클리닝 방법을 제공하는 것이다.

본 발명의 다른 목적은 클리닝후에 어떠한 더미 CVD 공정도 필요로 하지 않는, 챔버 클리닝 방법을 제공하는 것이다.

특별하게 언급하지 않은 다른 목적과 함께 상기 목적들은 다음의 설명으로부터 당업자에게 명백해질 것이다.

발명의 구성 및 작용

본 발명에 따른 CVD 장치의 챔버 클리닝 방법은 다음의 단계 (a) 내지 (c) 로 구성된다.

CVD 장치의 반응챔버에 위치된 반도체 기판 상에 소정의 금속 또는 금속 화합물이 소스 가스의 환원 분해 반응을 통한 CVD 공정에 의해서 형성된다. 상기 소스 가스는 원하는 막의 금속 원소를 함유하는 금속 할로젠화물 가스이다. 원하는 막이 기판에 형성되는 것에 더해서, 원하는 막과 동일한 금속 또는 금속 화합물의 원하지 않는 막이 챔버의 내부 노출 표면에 형성된다.

(a) 원하는 막이 형성된 반도체 기판을 CVD 장치의 반응챔버로부터 꺼낸다.

(b) (a) 단계 후에 에칭 작용을 갖는 클리닝 가스와 희석 가스를 CVD 장치의 반응 챔버 내부로 공급하여, 클리닝 가스의 에칭 작용에 의해서 반응챔버의 내부 노출 표면으로부터 원하지 않는 막을 제거한다. 클리닝 가스는 원하는 막의 금속 원소를 함유하는 금속 할로젠화물 가스이다. 원하지 않는 막을 에칭함으로써 챔버에 에칭 잔여물이 생성된다.

(c) CVD 장치의 반응챔버 내부로 공급된 클리닝 가스와 희석 가스를 에칭 잔여물과 함께 챔버로부터 배출한다.

본 발명에 따른 CVD 장치의 챔버 세정 방법에서, 원하는 막이 기판에 형성되는 것에 더하여, CVD 장치의 반응챔버의 내부 노출 표면에 형성된, 원하는 막의 금속 또는 금속 화합물과 동일한 금속 또는 금속 화합물의 원하지 않는 막은 에칭 작용을 갖는 클리닝 가스와 회석 가스를 단계 (b) 에서 반응챔버에 공급함으로써 제거되고, 단계 (c) 에서 클리닝 가스, 회석 가스 및 에칭 잔여물을 반응챔버로부터 배출한다.

또한, 클리닝 가스는 원하는 막과 동일한 금속 원소를 함유하는 금속 할로젠화물이며 따라서, 배출되는 클리닝 가스가 단계 (c) 후에 다소 남겨지더라도 어떠한 나쁜 영향도 발생하지 않는다. 이는 클리닝 가스를 소스 가스로 대체하는 공정뿐만 아니라 클리닝 후 더미 (dummy) CVD 공정이 필요하다는 것을 의미한다.

따라서, 클리닝 시간의 감소와 동시에, CVD 공정의 처리량이 증가한다.

또한, 원하는 막의 금속 원소를 함유하며, 원하지 않는 막에 대해서 에칭 작용을 갖는 금속 할로젠화물 가스가 클리닝 가스로 사용된다. 따라서, CVD 장치의 반응챔버는 플라즈마의 사용 없이 클리닝 가스의 에칭 작용에 의해서 클리닝될 수 있다.

어떠한 플라즈마도 사용하지 않는다는 것은 클리닝에 어떠한 플라즈마 생성 시스템도 필요하지 않다는 것을 의미한다. 그 결과, CVD 장치의 제조비가 낮아진다.

부가적으로, 클리닝 시간이 감소되기 때문에, 클리닝 공정은 다음 CVD 공정을 위한 기판 이송 시간 중에 완료될 수 있다. 다시 말하면, 플라즈마 CVD 장치의 반응챔버 내부가 CVD 공정이 반응챔버에서 수행될 때마다 클리닝될 수 있어서, 반도체 기판에 형성되는 원하는 막의 품질이 수행되는 CVD 공정의 수에 의존하지 않고 안정하다.

본 발명에 따른 챔버 클리닝 방법의 바람직한 실시예에서, 소스 가스용 금속 할로젠화물은 클리닝 가스용 금속 할로젠화물 가스와 동일하다. 이러한 경우에, 본 발명의 이점이 효과적으로 발생된다.

본 발명에 따른 챔버 클리닝 방법의 다른 바람직한 실시예에서, 원하는 막은 Ti 와 TiN 과 같은 티탄 (Ti) 을 함유하는 막이다. 이 경우에, 소스 가스용 금속 할로젠화물은 4 염화 티탄 ($TiCl_4$), 4 요오드화 티탄 (TiI_4), 4 플루오르화 티탄 (TiF_4) 및 6 플루오르화 티탄 (TiF_6) 으로 구성된 군에서 하나 선택되며, 클리닝 가스용 금속 할로젠화물은 상기 군으로부터 하나 선택되는 것이 바람직하다.

본 발명에 따른 챔버 클리닝 방법의 다른 바람직한 실시예에서, 원하는 막은 W 와 같은 텅스텐 (W) 함유막이다. 이 경우에, 소스 가스용 금속 할로젠화물은 4 염화 텅스텐 (WCl_4), 4 요오드화 텅스텐 (WI_4), 4 플루오르화 텅스텐 (WF_4) 및 6 플루오르화 텅스텐 (WF_6) 으로 이루어진 군에서 하나 선택되며, 클리닝 가스용 금속 할로젠화물은 상기 군으로부터 하나 선택되는 것이 바람직하다.

클리닝 가스와 함께 CVD 장치의 반응챔버 안으로 공급되는 회석 가스로써, 클리닝 가스를 회석할 수 있다면 어떠한 가스도 사용될 수도 있다. 회석 가스는 공급된 클리닝 가스를 CVD 장치의 전 반응챔버에 걸쳐서 넓게 확산시키는 작용을 한다. 회석 가스는 역시 회석을 통하여 반응챔버가 손상되는 것을 방지한다.

바람직하게는, 아르곤 (Ar), 질소 (N_2) 및 수소 (H_2) 가스가 회석 가스로 사용된다.

클리닝 가스의 유량은 제거되어질 바람직하지 않는 막의 두께에 따라 결정된다. 가스상 금속 할로젠화물의 유량은 2 내지 50 sccm 으로 설정되는 것이 바람직하며, 5 내지 10 sccm 으로 설정되는 것이 더욱 바람직하다.

회석 가스의 유량은 클리닝 가스의 종류에 따라 결정되는 것이 바람직하다. 회석 가스의 유량은 클리닝 가스의 유량의 약 10 내지 100 배로 설정되는 것이 바람직하다. 회석 가스의 유량은 가스상 금속 할로젠화물의 유량의 약 50 배로 설정되는 것이 바람직하다.

클리닝 가스와 회석 가스의 바람직한 유량에 대한 이유는 다음과 같다.

클리닝 가스량이 매우 많다면, CVD 장치의 반응챔버가 에칭되거나 손상될 가능성이 있다. 클리닝 가스량이 매우 적다면, 원하지 않는 막에 대한 에칭 작용이 약해져서, 원하는 클리닝 효과가 주어지지 않는다.

회석 가스량이 매우 많다면, 원하지 않는 막에 대한 클리닝 가스의 에칭 작용은 약해져서, 원하는 클리닝 효과는 주어지지 않는다. 회석 가스량이 매우 적다면, 클리닝 가스는 CVD 장치의 반응챔버 내로 불충분하게 확산되는 경향이 있다.

단계 (b) 동안에 반응챔버내의 압력은 5 내지 20 Torr 인 것이 바람직하다. 단계 (b) 동안 챔버내의 압력은 약 10 Torr 인 것이 바람직하다. 반응챔버 내의 압력이 매우 낮으면, 원하지 않는 막에 대한 클리닝 가스의 에칭 작용이 약해져서, 원하는 클리닝 효과가 주어지지 않는다. 반응챔버내의 압력이 과도하게 높다면, 클리닝 가스는 CVD 장치의 반응챔버 안으로 불충분하게 확산되려는 경향이 있다.

단계 (b) 동안의 반응챔버 내의 온도는 공급되는 클리닝 가스가 열적으로 분해되지 않는다면 어떤 값으로도 설정된다. 예컨대, 단계 (b) 는 반응챔버의 내부가 원하는 막을 형성하는 CVD 공정의 온도로부터 자연스럽게 낮추어지면서 수행될 수도 있다.

반응챔버 내로 공급된 클리닝 가스와 회석 가스의 체류 시간은 원하지 않는 막이 전부 제거되도록 선택적으로 설정된다.

단계 (c) 에서, 반응챔버의 내부는 반응챔버 내의 압력이 특정의 높은 진공 레벨, 바람직하게는 10^{-4} Torr 에 도달할 때까지 진공 처리되는 것이 바람직하다. 이는 클리닝 가스와 회석 가스뿐만 아니라 클리닝 단계 (b) 동안에 생성된 에칭 잔여물이 반응챔버로부터 반드시 제거되게 하기 위한 것이다.

단계 (b) 와 (c) 는 원하는 막을 형성하는 CVD 공정이 한번 수행되거나 또는 두 번 이상 반복될 때마다 수행될 수도 있다. 그러나, 단계 (b) 와 (c) 는 원하는 막을 형성하는 CVD 공정이 완료될 때마다 수행되는 것이 바람직하다. 이는 처리량이 최대가 되기 때문이다.

본 발명에 따른 챔버 클리닝 방법은, 금속 또는 금속 화합물 막이 어떤 CVD 공정에서 금속 할로젠화물 가스의 환원 분해를 통하여 반도체 기판 상에 형성된다면 어떠한 CVD 공정에도 사용될 수도 있다. 예컨대, 이러한 방법은 열 CVD, 플라즈마 CVD 및 광 CVD 공정에 사용될 수 있다.

CVD 장치는 평행 - 평판 (parallel - plate) 형, 횡 (lateral) 형, 종 (vertical) 형, 회전 (rotating) 형, 레디얼 플로잉 (radial - flowing) 형, 또는 단일 - 웨이퍼 (single - wafer) 형과 같은 어떠한 구조를 가질 수도 있다. 금속 또는 금속 화합물이 특정 형태로 반도체 기판을 덮도록 형성되기 위해서 CVD 장치가 선택적으로 설계될 수도 있다는 것은 말할 필요도 없다.

본 발명의 바람직한 실시예는 첨부된 도면을 참조하여 아래에 상세하게 설명된다.

제 1 실시예

도 3a 는 본 발명의 제 1 실시예에 따른 챔버 클리닝 방법이 수행되는 플라즈마 CVD 장치를 도시한다.

이러한 플라즈마 CVD 장치 (100) 는 반응챔버 (101) 와, 챔버 (101) 의 상부벽에 고정된 상부 전극 (102) 과, 챔버 (101) 의 내부 저부벽에 고정된 서셉터 또는 기판 홀더 (103) 와, 챔버 (101) 의 외부에 제공된 고주파 (RF) 전원 (109) 과, 챔버 (101) 의 외부에 제공된 직류 (DC) 전원 (104) 과, 챔버 (101) 의 외부에 제공된 진공 펌프 시스템 (114) 을 구비한다.

반응챔버 (101) 는 직경 600 mm 의 실린더형이다. 챔버 (101) 의 측벽 (side wall) 은 챔버 (101) 를 둘러싸도록 외부에 제공된 가열기 (도시 안됨) 에 의해서 200 °C 까지 가열될 수 있다.

RF 전원 (109) 에 전기적으로 접속된 상부 전극 (102) 은, 내부 공간 (113) 과 방출 홀 (102a) 을 구비한다. 특정

RF 전원이 플라즈마 제조 공정시 상부 전극 (102) 에 제공된다. 내부 공간 (113) 은 반응챔버 (101) 의 가스 도입구 (106) 를 통하여, 챔버 (101) 의 외부에 제공된 가스 소스 (도시 안됨) 와 통한다. 방출 홀 (102a) 은 챔버 (101) 의 반응 공간 (112) 과 통한다. 전극 (102) 의 내부 공간 (113) 에 공급된 가스들은 공간 (113) 에서 혼합되고, 방출 홀 (102a) 을 통하여 반응 공간 (112) 으로 방출된다.

반응챔버 (101) 의 내부 (즉, 반응 공간 (112)) 는 챔버 (101) 의 가스 출구 (105) 를 통하여 진공 펌프 시스템 (114) 과 통한다. 압력 조정 밸브 (108) 는 가스 출구 (105) 에 제공된다. 반응 공간 (112) 에 있는 가스 또는 가스들은 진공 펌프 시스템 (114) 에 의해서 배출되어 공간 (112) 에 진공 분위기를 만든다. 공간 (112) 내의 압력은 압력 조정 밸브 (108) 에 의해서 조절될 수 있다.

서셉터 (103) 는 DC 전원 (104) 과 전기적으로 접속된다. 0 내지 500 V 범위의 특정 DC 전압이 서셉터 (103) 와 그리고 작동시 서셉터 상에 위치되는 기판 (107) 에 인가되어, 기판 (107) 을 약 650 °C까지 가열한다.

Ti 막이 반도체 웨이퍼 또는 기판 (107) 에 형성될 때 다수의 반도체 장치는 포토리소그래피, 드라이 에칭 및 막 증착과 같은 공지된 제조 공정을 통하여 제조되었고, 먼저, 웨이퍼 (107) 는 CVD 장치 (100a) 의 반응챔버 (101) 내로 이송되고 서셉터 (103) 상에 위치된다. 챔버 (101) 의 반응 공간 (112) 은 특정 진공 분위기에 유지되었다. 이 단계의 상태가 도 3a 에 도시된다.

다음으로, 약 10 내지 30 nm 두께의 Ti막 (도시 안됨) 이, 도 3b 에 도시된 방식으로 다음의 조건하에서 공지된 플라즈마 CVD 공정에 의해서 기판 (107) 에 형성된다.

특히, 4 염화 티탄 ($TiCl_4$), 아르곤 (Ar) 및 수소 (H_2) 가스가 상부 전극 (102) 의 내부 공간 (113) 에 공급되고 그 안에서 혼합된다. 4 염화 티탄 가스는 Ti 막을 위한 소스 가스이다. $TiCl_4$, Ar 및 H_2 가스의 유량은 3 내지 10 sccm, 200 내지 500 sccm, 1000 내지 2000 sccm 으로 각각 설정된다. 이렇게 제조된 $TiCl_4$, Ar 및 H_2 가스 혼합물은 상부 전극 (102) 의 방출 홀 (102a) 을 통하여 기판 (107) 을 향하여 방출된다. 따라서, $TiCl_4$, Ar 및 H_2 가스 혼합물은 챔버 (101) 의 반응 공간 (102) 으로 공급된다. 반응 공간 (102) 의 압력은 3 내지 10 Torr 에 유지된다.

특정 DC 바이어스 전압이 DC 전원 (104) 에 의해서 기판 (107) 에 인가되어서, 기판 (107) 의 온도를 500 내지 600 °C 로 가열한다. 동시에, 수백 와트의 특정 RF 전력이 RF 전원 (109) 에 의해서 상부 전극 (102) 에 인가되어, 챔버 (101) 의 반응 공간 (102) 에 플라즈마 (212) 를 만든다. 플라즈마 (212) 는 기판 (107) 과 상부 전극 (102) 사이에 국부적으로 존재한다.

상기 CVD 공정 동안에, 도 3b 에 도시된 바와 같이, 원하는 Ti 막 (도시 안됨) 이 반도체 기판 (107) 에 증착되는 것에 더하여 원하지 않는 Ti 막 (110) 이 진공 챔버 (101), 상부 전극 (102) 및 서셉터 (103) 의 내부 노출 표면에 증착되는 경향이 있다.

원하는 Ti 막이 소정의 두께로 형성된 기판 (107) 은 반응챔버 (101) 의 반응공간 (112) 의 진공 상태의 변경 없이 반응챔버 (101) 로부터 제거된다.

그후 도 3c 에 도시된 바와 같이 $TiCl_4$ 및 Ar 가스가 상부 전극 (102) 의 가스 혼합 공간 (113) 으로 공급되고 그 안에서 혼합된다. $TiCl_4$ 가스는 클리닝 가스로 작용하고 Ar 가스는 $TiCl_4$ 가스의 회석 가스로서 작용한다. $TiCl_4$ 와 Ar 가스의 유량은 10 sccm 과 500 sccm 으로 각각 설정된다.

이와 같이 제조된 $TiCl_4$ 와 Ar 가스의 혼합물은 상부 전극 (102) 의 방출 홀 (102a) 을 통하여 서셉터 (103) 를 향하여 방출된다. 따라서, $TiCl_4$ 와 Ar 가스의 혼합물은 반응챔버 (101) 의 반응 공간 (102) 내로 공급된다. 반응 공간 (102) 의 압력은 압력 조정 밸브 (108) 를 사용하여 약 30 Torr 로 조절된다. 챔버 (101) 내의 원하지 않는 Ti 막 (110) 을 제거하기 위해서 이 상태가 30 초 동안 유지된다. 원하지 않는 Ti 막 (110) 은 $TiCl_4$ 가스의 에칭 작용에 의해 제거된다. $TiCl_4$ 가스가 Ar 가스에 의해서 충분히 회석되므로, $TiCl_4$ 가스는 전체 반응 공간 (112) 내에서 넓게 확산된다. 이 단계의 상태가 도 3c 에 도시된다.

이러한 에칭 단계 동안에, 원하지 않는 Ti 막 (110) 이 제거되고 동시에 다소의 에칭 잔여물이 $TiCl_4$ 가스의 에칭 작용에 기인하여 챔버 (101) 의 반응 공간 (112) 에 생성된다.

이러한 에칭 단계 이후에, 압력 조정 밸브 (108) 는 충분히 개방되는 동안에 챔버 (101) 의 내부는 진공 펌프 시스템 (114) 에 의해서 1.0×10^{-4} Torr 의 진공 레벨까지 진공 처리된다. 이와 같이, 챔버 (101) 내에 있는 $TiCl_4$ 와 Ar 가스의 혼합물은 챔버 (101) 로부터 완전히 배출되고 동시에, 반응 공간 (112) 에 생성되었던 에칭 잔여물은 챔버 (101) 로부터 제거된다. 이 단계의 상태가 도 3d 에 도시된다.

이후, 다음의 반도체 기판이 챔버 (101) 로 이송되고 서셉터 (103) 에 위치된 후에 반응챔버 (101) 내에서 다음의 플라즈마 CVD 공정이 수행된다.

필요하다면, 도 3c 와 3d 의 에칭 및 배출 단계가 두 번 이상 반복된다.

발명자의 테스트에서 $TiCl_4$ 가스의 에칭 속도는 아무런 플라즈마를 사용하지 않는 경우에서조차도 대략적으로 500 Å /분이었으며, 이는 Ti 막의 충분한 에칭 공정을 수행하였다.

본 발명의 제 1 실시예에 따른 CVD 장치의 챔버 클리닝 방법에서, 반도체 기판 (107) 상에 증착된 원하는 Ti 막에 대하여 플라즈마 CVD 장치의 반응챔버 (110) 의 내부 노출 표면에 형성된 원하지 않는 Ti 막은, (i) 에칭 작용을 갖는 클리닝 가스 ($TiCl_4$) 와 희석 가스 (Ar) 를 반응챔버 (101) 내로 공급하고, (ii) 반응챔버 (101) 로부터 클리닝 가스, 희석 가스 및 에칭 잔여물을 배출함으로써 제거된다.

또한, 클리닝 가스 ($TiCl_4$) 는 원하는 Ti 막의 동일한 금속 원소 Ti를 함유하는 금속 할로젠화물 가스의 하나이므로, 배출된 클리닝 가스 ($TiCl_4$) 가 배출 단계 후에 반응챔버 (101) 에 다소 남겨지더라도 어떠한 나쁜 영향도 발생하지 않는다. 이는 클리닝 가스를 소스 가스로 대체하는 공정뿐만 아니라 클리닝후 더미 (dummy) CVD 공정 (즉, 회복 공정 또는 시간) 이 필요하다는 것을 의미한다.

따라서, 클리닝 시간의 감소와 동시에, CVD 공정의 처리량이 증가한다.

또한, 원하는 Ti 막의 Ti 원소를 함유하며 원하지 않는 Ti 막 (110) 에 대해서 에칭 작용을 갖는 $TiCl_4$ 가스가 클리닝 가스로 사용된다. 따라서, CVD 장치 (100) 의 반응챔버 (101) 는 플라즈마의 사용 없이 클리닝 가스 ($TiCl_4$) 의 에칭 작용에 의해서 클리닝될 수 있다.

게다가, 클리닝 시간이 감소되기 때문에, 클리닝 공정은 다음 CVD 공정을 위한 기판 (107) 의 이송 시간 중에 완료될 수 있다. 다시 말하면, 플라즈마 CVD 장치 (100) 의 반응챔버 (102) 의 내부가 CVD 공정이 반응챔버 (102) 에서 수행되는 각각의 시간에 클리닝될 수 있어서, 반도체 기판 (107) 에 형성된 원하는 Ti 막의 품질이 수행되는 CVD 공정의 수에 의존하지 않고 안정하다.

비록 $TiCl_4$ 가스가 제 1 실시예에서 클리닝 가스로 사용되더라도, TiH_4 , TiF_4 , TiF_6 와 같은 다른 할로젠화 티탄 가스가 사용될 수도 있다. Ar 가스가 제 1 실시예에서 희석 가스로서 사용되더라도, N_2 및 H_2 와 같은 다른 가스가 사용될 수도 있다.

도 4 는 플라즈마 CVD 시스템을 도시하며, 이 시스템은 제 1 및 제 2 반응챔버 (100a 및 100b), 이송 챔버 (100c), 카세트 (cassette) 챔버 (100d) 및 냉각 챔버 (100e) 를 구비한다. 각각의 제 1 및 제 2 반응챔버 (101a 및 101b) 는 도 3a 에 도시된 플라즈마 CVD 장치와 동일한 구성을 갖는다. 카세트 챔버 (100d) 는 반도체 기판 (107) 이 위치된 카세트 (도시 안함) 를 임시로 보유하기 위해 사용된다. 냉각 챔버 (100e) 는 제 1 및 제 2 반응챔버 (100a 또는 100b) 에서 CVD 공정 처리된 기판 (107) 을 냉각하는데 사용된다. 이송 챔버 (100c) 는 경로로서 사용되며 이를 통하여 기판 (107) 은 제 1 반응챔버 및 제 2 반응챔버 (100a 및 100b), 카세트 챔버 (100d) 및 냉각 챔버 (100e) 사이로 이송된다.

제 1 및 제 2 반응챔버 (100a 및 100b) 뿐만 아니라, 전송, 카세트 및 냉각 챔버 (100c, 100d 및 100e) 는 동일한 진공 분위기로 유지된다. 참조 부호 (117) 는 제 1 및 제 2 반응챔버 (101a 및 101b), 카세트 챔버 (100d) 및 냉각 챔버 (100e) 의 게이트들을 각각 지시하며, 이들을 통하여 기판 (107) 이 이송된다.

먼저, 예컨대, 제 1 금속막이 제 1 반응챔버 (100a) 에서 반도체 기판 (107) 상에 형성된다. 다음에, 제 1 챔버 (100a) 내의 압력이 이송 챔버 (101c) 내의 압력에 따라 조절된 후, 제 1 반응챔버 (100a) 의 게이트 (117) 는 개방된다. 제 1 반응챔버 (100a) 내의 기판 (107) 이 이송 챔버 (100c) 로 이동되고 나서, 제 1 반응챔버 (100a) 의 게이트는 닫혀진다. 그후, 제 1 실시예에 따른 챔버 클리닝 방법이 제 1 반응챔버 (100a) 에서 시작된다.

이후에, 제 1 금속막이 형성된 기판에 제 2 금속막을 형성시키기 위해서, 제 2 반응챔버 (100b) 의 게이트 (117) 는 개방되고 기판 (107) 은 제 2 반응챔버 (100b) 로 이동된다. 제 2 반응챔버 (100b) 의 게이트 (117) 가 닫혀진 후, 제 2 금속막이 기판 (107) 상에 형성된다.

이 단계에서, 다른 반도체 기판 (107) 이 이송 챔버 (100c) 로 이동되고 나서, 이러한 새로운 기판 (107) 은 제 1 금속막을 형성하는 제 1 반응챔버 (100a) 로 이송된다. 제 1 반응챔버 (100a) 의 클리닝이 이 단계에서 완료되기 때문에, 이러한 CVD 공정은 챔버 클리닝의 완료를 기다리지 않고 즉시 시작될 수 있다.

제 1 및 제 2 금속막을 위한 하나 이상의 CVD 공정이 실시되어진 기판 (107) 은 냉각 챔버 (100e) 내로 마음대로 이동될 수도 있어서, 가열된 기판 (107) 은 특정 온도로 냉각될 수 있다.

상기한 바와 같이, 제 1 실시예에 따른 챔버 클리닝 방법을 사용함으로써, 플라즈마 CVD 장치의 반응챔버 (101) 는 기판 (107) 의 이송시간에 완전히 클리닝될 수 있다.

제 2 실시예

도 5a 는 본 발명의 제 2 실시예에 따른 챔버 클리닝 방법이 수행되는 열 CVD 장치 (200) 를 도시한다.

이러한 열 CVD 장치 (200) 는 장치 (100) 에 전원 (104 및 109) 이 없으며 상부 전극 (102) 대신에 가스 혼합/방출 부재 (202) 가 장치 (100) 에 제공된다는 것을 제외하고는 도 3a 에 도시된 플라즈마 CVD 장치 (100) 의 구성과 동일한 구성을 갖는다.

가스 혼합/방출 부재 (202) 가 반응챔버 (101) 내부의 상부벽에 제공된다. 이러한 부재 (202) 는 가스 혼합 공간 (213) 과 가스 방출 홀 (202a) 을 구비한다. 가스 혼합 공간 (213) 은 장치 (100) 의 내부 공간 (113) 과 실질적으로 동일하다. 가스 방출 홀 (202a) 은 장치 (100) 의 가스 방출 홀 (102a) 과 실질적으로 동일하다.

다수의 반도체 장치가 제조된 반도체 기판 상에 TiN 막이 형성된다. 먼저, 기판 (107) 은 열 CVD 장치 (200) 의 반응챔버 (101) 내로 이송되고 서셉터 (103) 에 위치된다. 챔버 (101) 의 반응 공간 (112) 은 특정 진공 분위기에 유지되었다. 이러한 단계의 상태가 도 5a 에 도시된다.

TiN 막이 열 CVD 공정 (플라즈마 CVD 공정이 아님) 에 의해서 증착되는 것은 열 CVD 공정이 반도체 장치의 실제적인 제조 공정에서 더욱 효과적이기 때문이다.

다음으로, 도 5b 에 도시된 바와 같이, 약 0.05 내지 0.3 μm 의 두께의 TiN 막 (도시 안됨) 이 공지된 열 CVD 공정에 의해서 하기의 조건하에서 기판 (107) 상에 형성된다.

특히, 4 염화 티탄 ($TiCl_4$), 암모니아 (NH_3) 및 질소 (N_2) 가스들이 가스 혼합/방출 부재 (202) 의 가스 혼합 공간 (213) 으로 공급되고 그 안에서 혼합된다. $TiCl_4$, Ar 및 H_2 가스의 유량은 30 내지 50 sccm, 40 내지 70 sccm, 30 내지 50 sccm 으로 각각 설정된다. 이와 같이 제조된 $TiCl_4$, Ar 및 H_2 가스 혼합물은 부재 (202) 의 방출 홀 (202a) 을 통하여 기판 (107) 을 향하여 방출된다. 따라서, $TiCl_4$, Ar 및 H_2 가스 혼합물은 챔버 (101) 의 반응 공간 (102) 으로 공급된다. 반응 공간 (102) 의 압력은 15 내지 30 Torr 에 유지된다. 기판 (107) 은 제공된 가열기 (도시 안됨) 에 의해서 서셉터 (103) 에서 500 내지 650 °C 까지 가열된다. 제 1 실시예에 따른 클리닝 방법과는 다르게, 반응 공간 (102) 내에 어떠한 플라즈마도 생성되지 않는다.

상기 CVD 공정 동안에, 도 5b 에 도시된 바와 같이, 원하는 Ti 막 (도시 안됨) 이 반도체 기판 (107) 에 증착되는 것에 더하여 원하지 않는 Ti 막 (210) 이 진공 챔버 (101), 가스 혼합/방출 부재 (202) 및 서셉터 (103) 의 내부 노출 표면에 증착되는 경향이 있다.

기판 (107) 상의 원하는 TiN 막의 두께는 제 1 실시예의 원하는 Ti막 보다 전형적으로 크며 어떠한 플라즈마도 사용되지 않는다. 따라서, 원하지 않는 TiN 막 (210) 은 제 1 실시예에서의 원하지 않는 Ti 막 (110) 보다 넓은 면적에 분포된다.

원하는 TiN 막이 소정의 두께로 형성된 기판 (107) 은 반응챔버 (101) 의 반응 공간의 진공 상태의 변화 없이 반응 챔버 (101) 로부터 제거된다.

그 후에, 도 5c 에 도시된 바와 같이, $TiCl_4$ 및 Ar 가스가 가스 혼합/방출 부재 (202) 의 가스 혼합 공간 (213) 으로 공급되고 그 안에서 혼합된다. $TiCl_4$ 및 Ar 가스의 유량은 각각 10 sccm 과 500 sccm 으로 설정된다.

이렇게 제조된 $TiCl_4$ 및 Ar 의 가스상 혼합물은 부재 (202) 의 방출 홀 (202a) 을 통하여 서셉터 (103) 를 향하여 방출된다. 따라서, $TiCl_4$ 및 Ar 의 가스상 혼합물이 열 CVD 장치 (200) 의 반응챔버 (101) 의 반응 공간 (102) 내로 공급된다. 반응 공간 (102) 의 압력은 압력 조정 밸브 (108) 를 사용하여 약 1 내지 10 Torr 로 조절된다. 챔버 (101) 내의 원하지 않는 TiN 막 (210) 을 제거하기 위하여 이러한 상태가 1 분 동안 유지된다. 원하지 않는 TiN 막 (210) 은 $TiCl_4$ 가스의 에칭 작용에 의해서 제거된다. $TiCl_4$ 가스가 Ar 가스에 의해서 효율적으로 희석되기 때문에, $TiCl_4$ 가스는 전체 반응 공간 (112) 내에서 넓게 확산된다. 이러한 단계에서의 상태가 도 5c 에 도시된다.

이러한 에칭 단계 동안에, 원하지 않는 TiN 막 (210) 이 제거됨과 동시에, $TiCl_4$ 가스의 에칭 작용에 기인하여 다소의 에칭 잔여물이 챔버 (101) 의 반응 공간에 생성된다.

이러한 에칭 단계 이후에, 밸브 (108) 가 완전히 개방되는 동안에 챔버 (101) 의 내부는 진공 펌프 (114) 에 의해서 1.0×10^{-5} Torr 레벨까지 진공 처리된다. 따라서, $TiCl_4$ 및 Ar 의 가스상 혼합물이 챔버 (101) 로부터 완전히 배출되는 동안에, $TiCl_4$ 가스의 에칭 작용에 의해서 챔버 (101) 에 생성된 에칭 잔여물은 챔버 (101) 로부터 제거된다. 이러한 단계에서의 상태가 도 5d 에 도시된다.

그후, 다음의 반도체 기판이 챔버 (101) 로 이송되고 서셉터 (103) 에 위치된 후에 다음의 열 CVD 공정이 반응 챔버 (101) 에서 수행된다.

필요하다면, 도 5c 및 5d 의 에칭 및 배출 단계가 2 번 이상 반복된다.

본 발명의 제 2 실시예에 따른 CVD 장치의 챔버 클리닝 방법에서, 원하는 Ti 막이 반도체 기판 (107) 상에 증착되는 것에 더하여 열 CVD 장치 (200) 의 반응챔버 (110) 의 내부 노출 표면에 형성된 원하지 않는 Ti 막 (210) 은, (i) 에칭 작용을 갖는 클리닝 가스 ($TiCl_4$) 와 희석 가스 (Ar) 를 반응챔버 (101) 내로 공급하고, (ii) 반응챔버 (101) 로부터 클리닝 가스, 희석 가스 및 에칭 잔여물을 배출함으로써 제거된다.

또한, 클리닝 가스 ($TiCl_4$) 는 원하는 Ti 막의 동일한 금속 원소 Ti를 함유하는 금속 할로젠화물 가스의 하나이므로, 배출된 클리닝 가스 ($TiCl_4$) 가 배출 단계 후에 반응챔버 (101) 에 다소 남겨지더라도 어떠한 나쁜 영향도 발생하지 않는다. 이는 클리닝 가스를 소스 가스로 대체하는 공정뿐만 아니라 클리닝 후 더미 (dummy) CVD 공정 (즉, 회복 공정 또는 시간) 이 필요하다는 것을 의미한다.

따라서, 제 1 실시예에서와 같이, 클리닝 시간의 감소와 동시에, CVD 공정의 처리량이 증가한다.

또한, 원하는 Ti 막의 Ti 원소를 함유하며 원하지 않는 Ti 막 (210) 에 대해서 에칭 작용을 갖는 $TiCl_4$ 가스가 클리닝 가스로 사용된다. 따라서, CVD 장치 (200) 의 반응챔버 (101) 는 플라즈마의 사용 없이 클리닝 가스 ($TiCl_4$) 의 에칭 작용에 의해서 클리닝될 수 있다.

부가적으로, 클리닝 시간이 감소되기 때문에, 클리닝 공정은 다음 CVD 공정을 위한 기판 (107) 의 이송 시간 중에 완료될 수 있다. 다시 말하면, 열 CVD 장치 (200) 의 반응챔버 (102) 의 내부가 CVD 공정이 반응챔버 (102) 에서 수행될 때마다 클리닝될 수 있어서, 반도체 기판 (107) 에 형성된 원하는 Ti 막의 품질이 수행되는 CVD 공정의 수에 의존하지 않고 안정하다.

비록 $TiCl_4$ 가스가 제 2 실시예에서 클리닝 가스로 사용되더라도, TiI_4 , TiF_4 , TiF_6 와 같은 다른 할로젠화 티탄 가스가 사용될 수도 있다. Ar 가스가 제 1 실시예에서 희석 가스로서 사용되더라도, N_2 및 H_2 와 같은 다른 가스가 사용될 수도 있다.

어떠한 플라즈마도 사용하지 않는다는 것은 열 CVD 장치 (200) 에서의 클리닝에 어떠한 플라즈마 생성 시스템도 필요하지 않다는 것을 의미한다. 그 결과, CVD 장치 (200) 의 제조비가 감소되는 부가적인 이점이 있다.

제 3 실시예

제 3 실시예에서, 다수의 반도체 장치가 제조된 반도체 기판 (107) 상에 본 발명의 제 2 실시예에 사용된 열 CVD 장치 (200) 를 사용하여 텅스텐 (W) 막이 형성된다.

W 막은 깊은 콘택트 홀 또는 두꺼운 유전체 막의 깊은 관통 홀을 매립하는데 종종 사용된다. W 막은 통상적으로 핵생성 단계와 매립 단계를 통하여 형성된다.

먼저, 기판 (107) 은 열 CVD 장치 (200) 의 반응챔버 (101) 내로 이송되고 서셉터 (103) 상에 위치된다. 챔버 (101) 의 반응 공간 (112) 은 진공으로 유지된다.

다음으로, 특정 두께의 핵생성 서브막 (subfilm; 도시 안됨) 은 공지된 열 CVD 공정에 의해서 기판 (107) 상에 또는 기판 위에 위치한 유전체막 (도시 안됨) 상에, 다음의 조건하에서 형성된다. 유전체막은 깊은 콘택트홀을 구비한다.

특히, 도 6a 에 도시된 바와 같이, 모노실란 (SiH_4), 6 플루오르화 텅스텐 (WF_6), 아르곤 (Ar) 및 수소 (H_2) 가스가 가스 혼합/방출 부재 (202) 의 혼합 공간 (213) 으로 공급되고 그 안에서 혼합된다. SiH_4 , WF_6 , Ar 및 H_2 가스의 유량은 각각 10 sccm, 20 sccm, 800 sccm 및 1000 sccm 으로 설정된다. 이렇게 제조된 SiH_4 , WF_6 , Ar 및 H_2 의 가스상 혼합물은 부재 (202) 의 방출홀 (202a) 을 통하여 기판 (107) 을 향하여 방출된다. 따라서, SiH_4 , WF_6 , Ar 및 H_2 의 가스상 혼합물은 챔버 (101) 의 반응 공간 (102) 안으로 공급된다. 챔버 (101) 의 반응 공간 (102) 의 압력은 30 Torr 에 유지된다. 기판 (107) 은 450 °C 까지 가열된다. 제 2 실시예와 같이, 어떠한 플라즈마도 반응공간 (102) 에 생성되지 않는다. 이러한 핵생성 단계는 약 10 초 동안 수행된다.

그 후에, 이와 같이 유전체막 상에 형성된 핵생성 W 서브막 상에 소정 두께의 W 서브막 (도시 안됨) 매립물이 핵생성 단계와 유사한 열 CVD 공정에 의해서 다음의 조건하에서 형성된다.

WF_6 , Ar 및 H_2 가스는 가스 혼합/방출 부재 (202) 의 가스 혼합 공간 (213) 으로 공급되고 그 안에서 혼합된다. WF_6 , Ar 및 H_2 의 유량은 95 sccm, 600 sccm 및 1000 sccm 으로 각각 설정된다. 이와 같이 제조된 WF_6 , Ar 및 H_2 가스의 가스상 혼합물은 부재 (202) 의 방출홀 (202a) 을 통하여 기판 (107) 을 향하여 방출된다.

따라서, WF_6 , Ar 및 H_2 의 가스상 혼합물은 챔버 (101) 의 반응 공간 (102) 안으로 공급된다. 반응 공간 (102) 의 압력은 90 Torr 에 유지되고 기판 (107) 의 온도는 450 °C 로 설정된다. 어떠한 플라즈마도 반응 공간 (102) 에 생성되지 않는다. 이러한 매립 단계는 콘택트 홀을 W 막으로 완전히 매립하기 위해서 약 50 초 동안 수행된다.

따라서, 핵생성 및 매립 W 서브막으로 이루어진 W 막의 전체 두께는 약 5000 Å 이 된다.

상기 설명으로 알 수 있는바와 같이, 핵생성 W 서브막을 위한 핵생성 단계에서, WF_6 에 기인한 기판 (107)의 규소의 소모를 억제하기 위해서 SiH_4 가 추가적으로 공급되며, WF_6 의 유량은 W 서브막을 매립하기 위한 매립단계보다 더 낮게 설정된다.

도 6a에 도시된 바와 같이, 상기 CVD 공정 동안에, 원하는 W 막 (도시 안됨)이 반도체 기판 (107)에 증착되는 것에 더하여 원하지 않는 W 막 (110)이 진공 챔버 (101), 가스 혼합/방출 부재 (202) 및 서셉터 (103)의 내부 노출 표면에 증착되는 경향이 있다. 어떠한 플라즈마도 사용되지 않으므로, 원하지 않는 W 막은 제 1 실시예에서의 원하지 않는 Ti 막보다 더 넓은 면적으로 분포된다.

원하는 W 막이 소정의 두께로 형성된 기판 (107)은 반응챔버 (101)의 반응공간 (112)의 진공 상태의 변경 없이 반응챔버 (101)로부터 제거된다.

그후, 도 6b에 도시된 바와 같이, WF_6 와 Ar 가스는 가스 혼합/방출 부재 (202)의 가스 혼합 공간 (213)에 공급되고 그 안에서 혼합된다. WF_6 와 Ar 가스의 유량은 100 sccm과 1000 sccm으로 각각 설정된다.

이와 같이 제조된 WF_6 와 Ar 가스 혼합물은 부재 (202)의 방출 홀 (202a)을 통하여 서셉터 (103)를 향하여 방출된다. 따라서, WF_6 와 Ar 가스 혼합물은 챔버 (101)의 반응 공간 (102)내로 공급된다. 반응 공간 (102)의 압력은 압력 조정 밸브 (108)를 사용하여 약 10 Torr로 조절된다. 챔버 (101)내의 원하지 않는 W 막 (310)을 WF_6 가스의 에칭 작용에 의해 제거하기 위해서, 이 상태가 30 초 동안 유지된다. WF_6 가스가 Ar 가스에 의해서 충분히 희석되므로, WF_6 가스는 전체 반응 공간 (112)내에서 넓게 확산된다. 이 단계의 상태가 도 6b에 도시된다.

이러한 에칭 단계 동안에, 원하지 않는 W 막 (310)이 제거되고 동시에 다소의 에칭 잔여물이 WF_6 가스의 에칭 작용에 기인하여 챔버 (101)의 반응 공간 (112)에 생성된다.

이러한 에칭 단계 이후에, 압력 조정 밸브 (108)가 충분히 개방되는 동안에 챔버 (101)의 내부는 진공 펌프 시스템 (114)에 의해서 1.0×10^{-4} Torr의 진공 레벨까지 진공 처리된다. 따라서, WF_6 와 Ar 가스 혼합물은 챔버 (101)로부터 완전히 배출되고 동시에, WF_6 가스의 에칭 작용에 의해서 생성된 에칭 잔여물은 챔버 (101)로부터 제거된다.

이후, 다음의 반도체 기판이 챔버 (101)내로 이송되고 서셉터 (103)에 위치된 후에 반응챔버 (101)내에서 다음의 열 CVD 공정이 수행된다.

필요하다면, 도 6b의 에칭 및 배출 단계가 두 번 이상 반복된다.

발명자의 테스트에서 WF_6 가스의 에칭 속도는 이 경우에는 약 600 Å/분이었다.

본 발명의 제 3 실시예에 따른 CVD 장치의 챔버 클리닝 방법에서, 제 2 실시예에서와 같은 방식으로, 반도체 기판 (107)상에 증착된 원하는 W 막에 부가하여 열 CVD 장치 (200)의 반응챔버 (110)의 내부 노출 표면에 형성된 원하지 않는 Ti 막은, (i) 에칭 작용을 갖는 클리닝 가스 (WF_6)와 희석 가스 (Ar)를 반응챔버 (101)내로 공급하고, (ii) 반응챔버 (101)로부터 클리닝 가스, 희석 가스 및 에칭 잔여물을 배출함으로써 제거된다.

또한, 클리닝 가스 (WF_6)는 원하는 W 막과 동일한 금속 원소 W를 함유하는 금속 할로젠화물 가스의 하나이므로, 배출된 클리닝 가스 (WF_6)가 배출 단계 후에 반응챔버 (101)에 다소 남겨지더라도 어떠한 나쁜 영향도 발생하지 않는다. 이는 클리닝 가스를 소스 가스로 대체하는 공정뿐만 아니라 클리닝후 더미 (dummy) CVD 공정 (즉, 회복 공정 또는 시간)이 필요하다는 것을 의미한다.

따라서, 제 1 및 제 2 실시예에서와 같이, 클리닝 시간의 감소와 동시에, CVD 공정의 처리량이 증가한다.

또한, 원하는 W 막의 W 원소를 함유하며, 원하지 않는 W 막 (310) 에 대해서 애칭 작용을 갖는 WF₆ 가스가 클리닝 가스로 사용된다. 따라서, CVD 장치 (200) 의 반응챔버 (101) 는 플라즈마의 사용 없이 클리닝 가스 (WF₆) 의 애칭 작용에 의해서 클리닝될 수 있다.

부가적으로, 클리닝 시간이 감소되기 때문에, 클리닝 공정은 다음 CVD 공정을 위한 기판 (107) 의 이송 시간 중에 완료될 수 있다. 다시 말하면, 열 CVD 장치 (200) 의 반응챔버 (102) 의 내부가 CVD 공정이 반응챔버 (102) 에서 수행될 때마다 클리닝될 수 있어서, 반도체 기판 (107) 에 형성된 원하는 W 막의 품질이 수행되는 CVD 공정의 수에 의존하지 않고 안정하다.

비록 WF₆ 가스가 제 3 실시예에서 클리닝 가스로 사용되더라도, WCl₄, WI₄, WF₄ 및 WF₆ 와 같은 다른 할로젠화 텅스텐 가스가 사용될 수도 있다. Ar 가스가 제 3 실시예에서 희석 가스로서 사용되더라도, N₂ 및 H₂ 와 같은 다른 가스가 사용될 수도 있다.

어떠한 플라즈마도 사용하지 않는 것은 열 CVD 장치 (200) 의 클리닝에 어떠한 플라즈마 생성 시스템도 필요하지 않는 것을 의미한다. 그 결과, CVD 장치의 제조비가 낮아진다는 장점이 있다.

제 1 실시예 내지 제 3 실시예에서 Ti, TiN 및 W 막이 반도체 기판 (107) 상에 또는 반도체 기판 (107) 위에 형성되더라도, 본 발명은 이러한 금속에 한정되지 않는다. 클리닝 가스가 원하는 막과 동일한 금속 원소를 함유하는 금속 할로젠화물 가스의 하나이며 원하는 막에 대하여 애칭 작용을 갖는다면 본 발명의 클리닝 방법이 어떠한 다른 금속에 사용될 수 있다는 것은 말할 필요도 없다.

본 발명의 바람직한 방식이 설명되었지만, 본 발명의 기술 사상의 이탈 없이 변형예가 당업자에게 명백해질 것이라는 것을 이해해야 한다. 따라서 본 발명의 범주는 다음의 청구범위에 의해서만 단지 결정된다.

발명의 효과

이상 설명한 바와 같이, 플라즈마 CVD 장치의 반응챔버는 기판의 이송시간에 완전히 클리닝될 수 있어서 처리량이 대폭 향상되며, 열 CVD 장치의 클리닝에 어떠한 플라즈마 생성 시스템도 필요하지 않으므로, CVD 장치의 제조비가 낮아진다.

(57) 청구의 범위

청구항 1.

원하는 금속 또는 금속 화합물막이 소스 가스의 환원 분해 반응을 통한 CVD 공정에 의해서 CVD 장치의 반응챔버에 위치된 반도체 기판에 형성되고, 상기 소스 가스는 원하는 막의 금속 원소를 함유하는 금속 할로젠화물 가스이며,

상기 기판에 상기 원하는 막이 형성되는 것에 더하여, 상기 챔버의 내부 노출 표면에 상기 원하는 막과 동일한 금속 또는 금속 화합물의 원하지 않는 막이 형성되는 CVD 장치의 챔버 클리닝 방법으로서,

(a) 상기 원하는 막이 형성된 상기 반도체 기판을 상기 CVD 장치의 상기 반응챔버로부터 꺼내는 단계;

(b) (a) 단계 후에 애칭 작용을 갖는 클리닝 가스와 희석 가스를 상기 CVD 장치의 상기 반응챔버 내부로 공급하여, 상기 클리닝 가스의 애칭 작용에 의해서 상기 반응챔버의 상기 내부 노출 표면으로부터 상기 원하지 않는 막을 제거하는 단계로서, 상기 클리닝 가스는 상기 원하는 막의 상기 금속 원소를 함유하는 금속 할로젠화물 가스이며, 상기 원하지 않는 막을 애칭함으로써 상기 챔버에 애칭 잔여물이 생성되는 단계; 및

(c) 상기 CVD 장치의 상기 반응챔버 내부로 공급된 상기 클리닝 가스와 상기 희석 가스를 상기 애칭 잔여물과 함께 상기 챔버로부터 배출하는 단계를 포함하는 것을 특징으로 하는 CVD 장치의 챔버 클리닝 방법.

청구항 2.

제 1 항에 있어서,

상기 소스 가스용 상기 금속 할로젠화물 가스는 상기 클리닝 가스용 상기 금속 할로젠화물 가스와 동일한 것을 특징으로 하는 CVD 장치의 챔버 클리닝 방법.

청구항 3.

제 1 항에 있어서,

상기 원하는 막은 Ti 을 함유하는 막이며,

상기 소스 가스용 금속 할로젠화물은 4 염화 티탄 ($TiCl_4$), 4 요오드화 티탄 (TiI_4), 4 플루오르화 티탄 (TiF_4), 및 6 플루오르화 티탄 (TiF_6) 으로 이루어진 군으로부터 선택되며,

상기 클리닝 가스용 금속 할로젠화물은 상기 군으로부터 선택되는 것을 특징으로 하는 CVD 장치의 챔버 클리닝 방법.

청구항 4.

제 1 항에 있어서,

상기 원하는 막은 W 을 함유하는 막이며,

상기 소스 가스용 금속 할로젠화물은 4 염화 텅스텐 (WCl_4), 4 요오드화 텅스텐 (WI_4), 4 플루오르화 텅스텐 (WF_4) 및 6 플루오르화 텅스텐 (WF_6) 으로 이루어진 군으로부터 선택되며,

상기 클리닝 가스용 금속 할로젠화물은 상기 군으로부터 선택되는 것을 특징으로 하는 CVD 장치의 챔버 클리닝 방법.

청구항 5.

제 1 항에 있어서,

상기 단계 (b) 와 (c) 가 두 번 이상 반복되는 것을 특징으로 하는 CVD 장치의 챔버 클리닝 방법.

청구항 6.

제 1 항에 있어서,

상기 회석 가스는 아르곤 (Ar), 질소 (N_2) 및 수소 (H_2) 가스로 구성된 군으로부터 하나 이상 선택되는 것을 특징으로 하는 CVD 장치의 챔버 클리닝 방법.

청구항 7.

제 1 항에 있어서,

상기 단계 (c) 에서, 상기 반응챔버의 내부는 상기 반응챔버의 압력이 10^{-4} Torr 의 진공 레벨에 도달할 때까지 진공 처리되는 것을 특징으로 하는 CVD 장치의 챔버 클리닝 방법.

청구항 8.

제 1 항에 있어서,

상기 CVD 장치는 플라즈마 보조 CVD 장치인 것을 특징으로 하는 CVD 장치의 챔버 클리닝 방법.

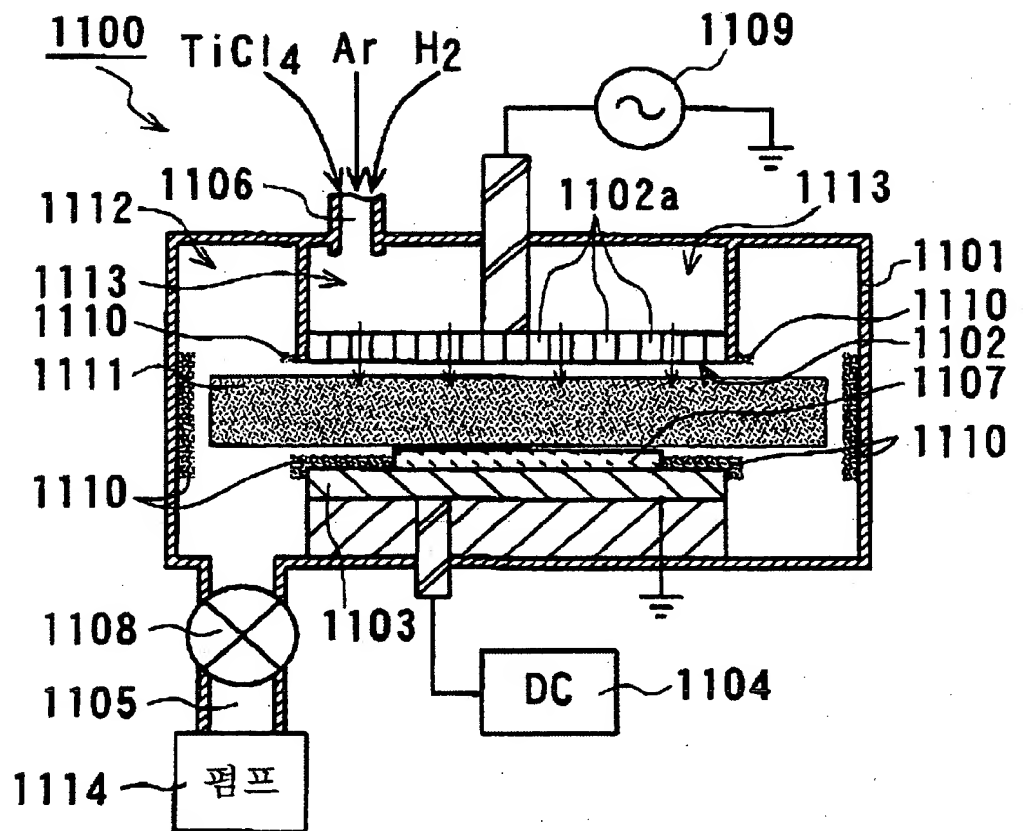
청구항 9.

제 1 항에 있어서,

상기 CVD 장치는 열 CVD 장치인 것을 특징으로 하는 CVD 장치의 챔버 클리닝 방법.

도면

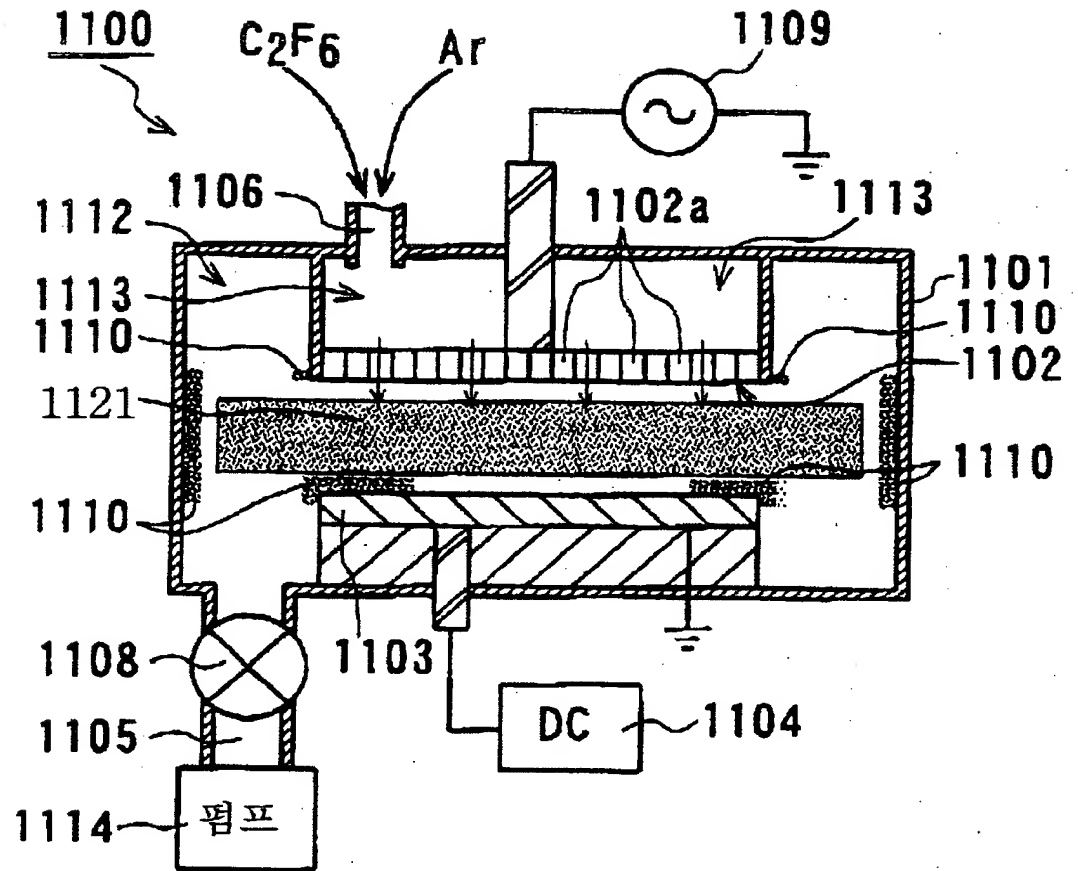
도면 1a



종 래 기 술

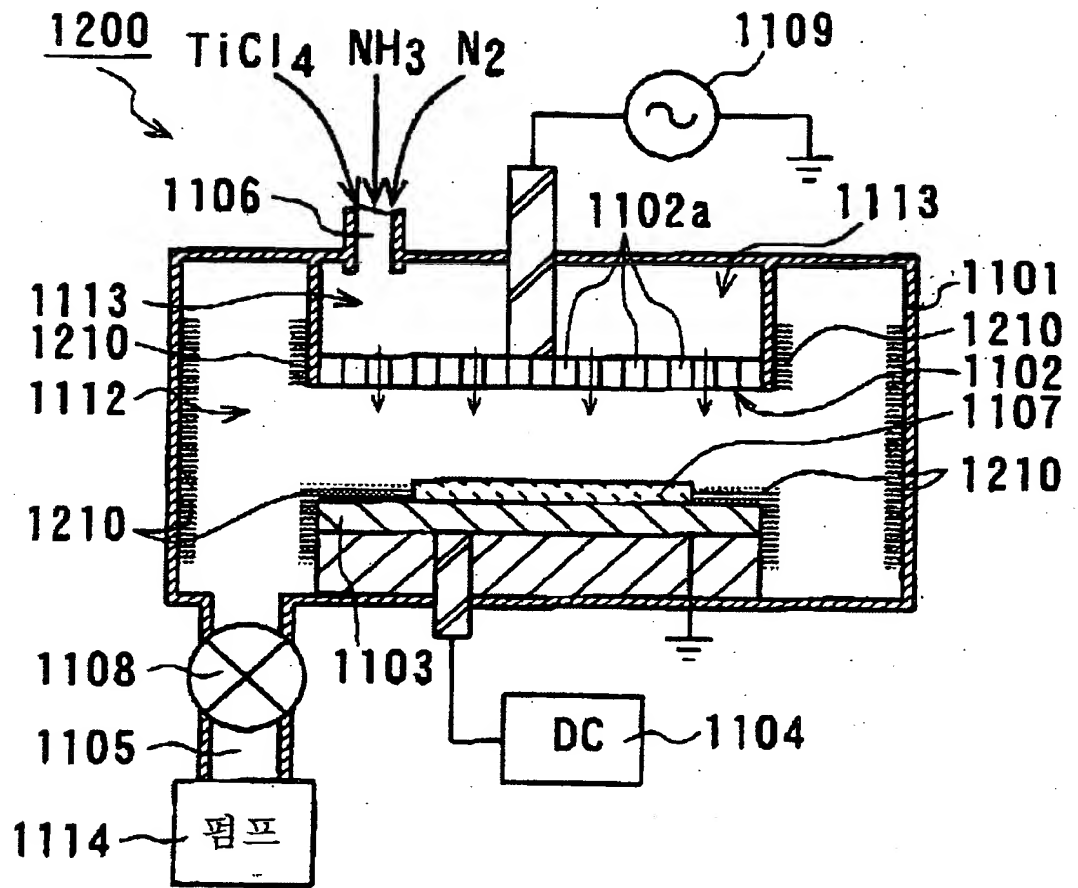
도면 1b

종래 기술



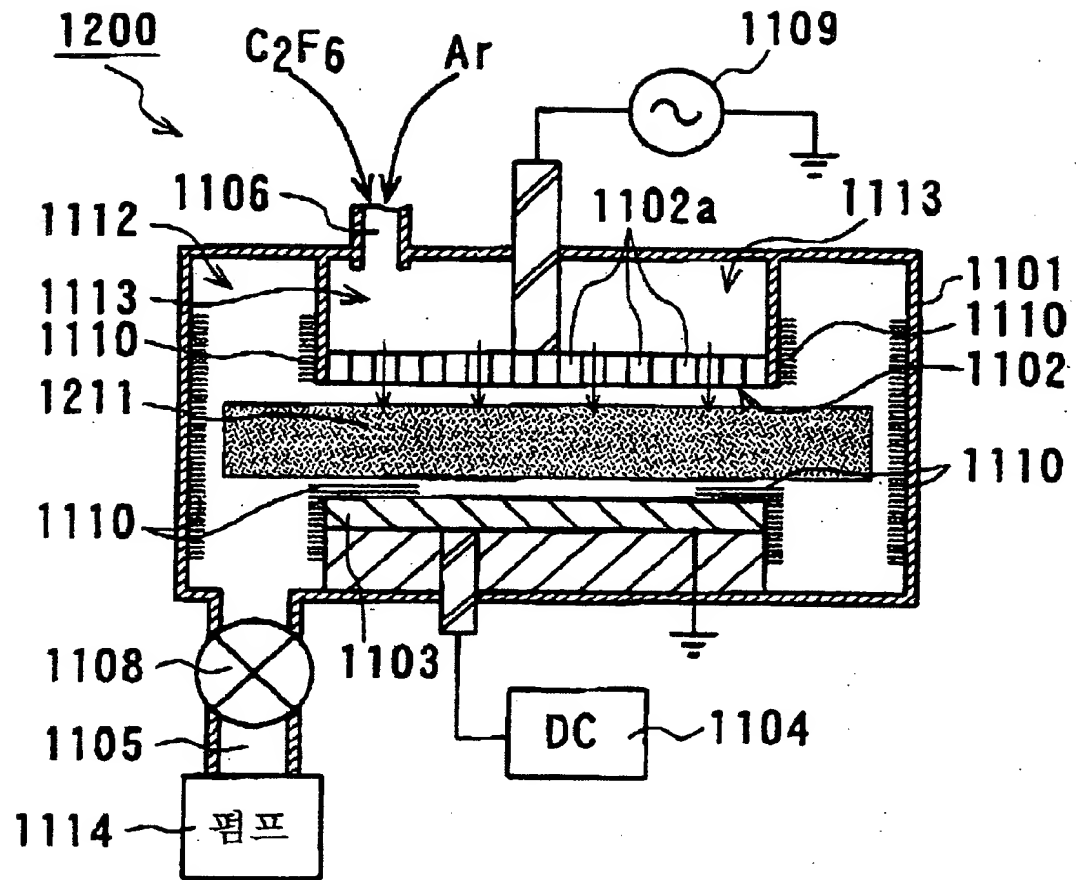
도면 2a

종래 기술



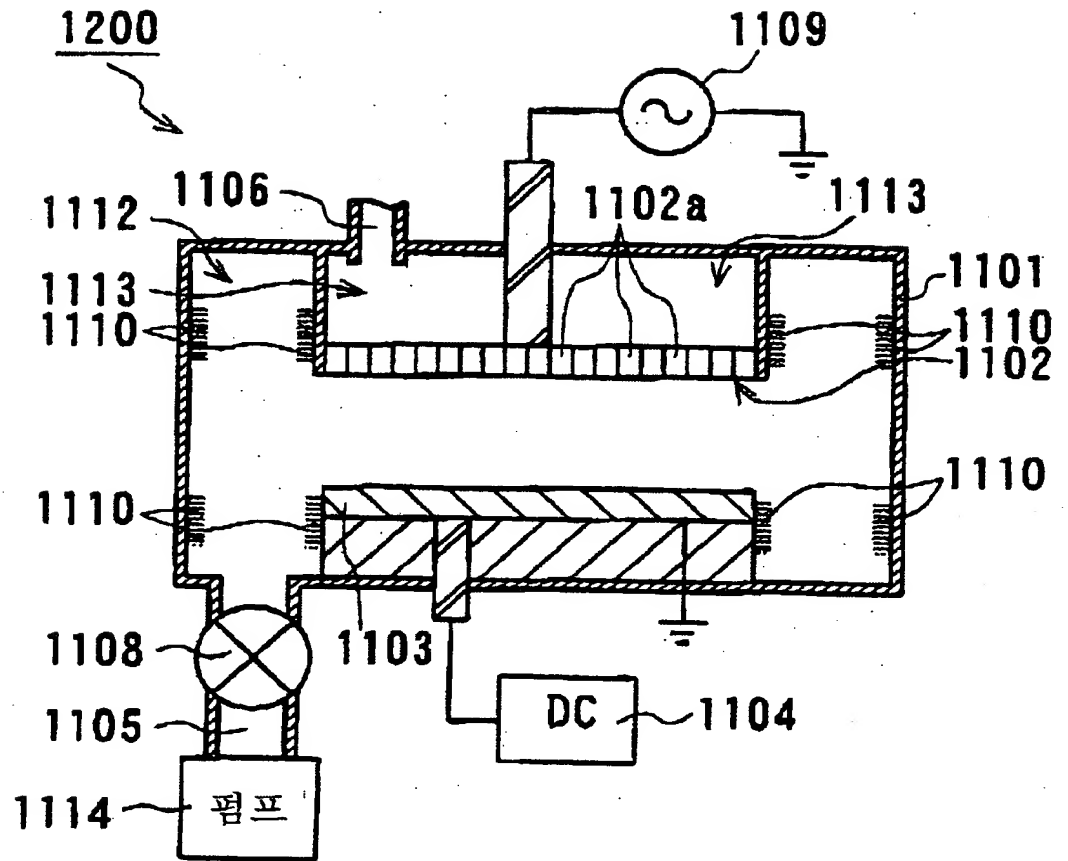
도면 2b

종래 기술

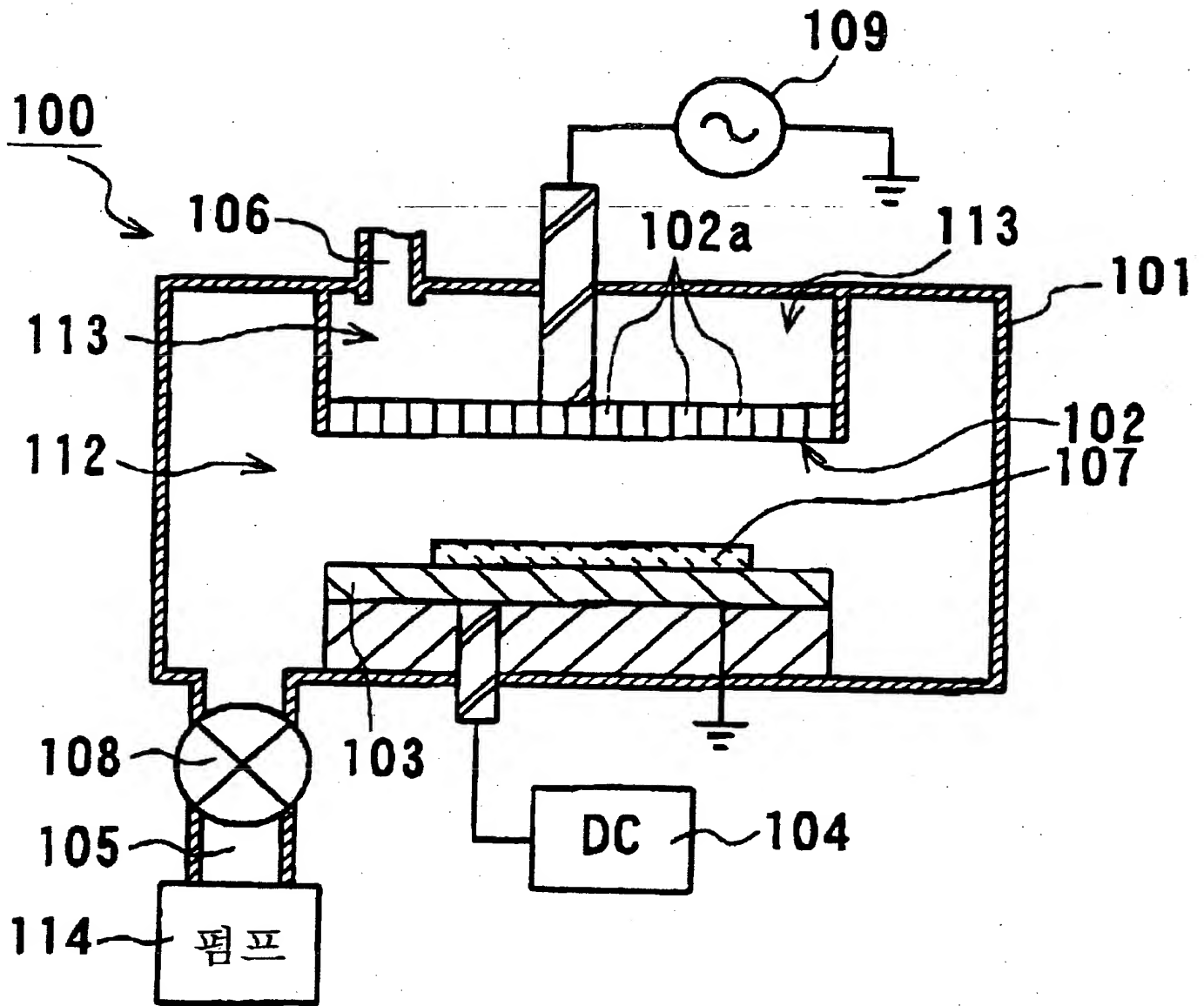


도면 2c

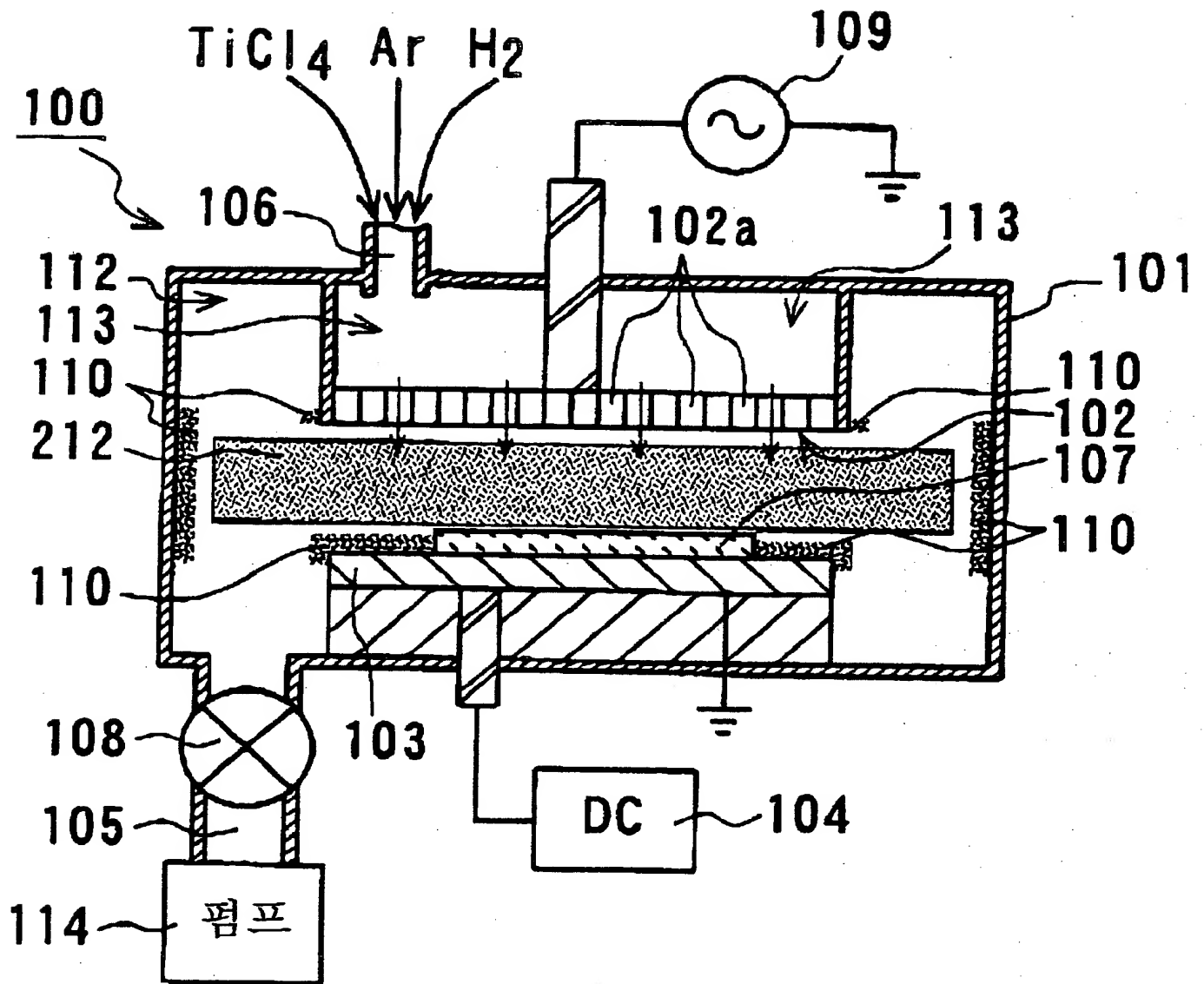
종래 기술



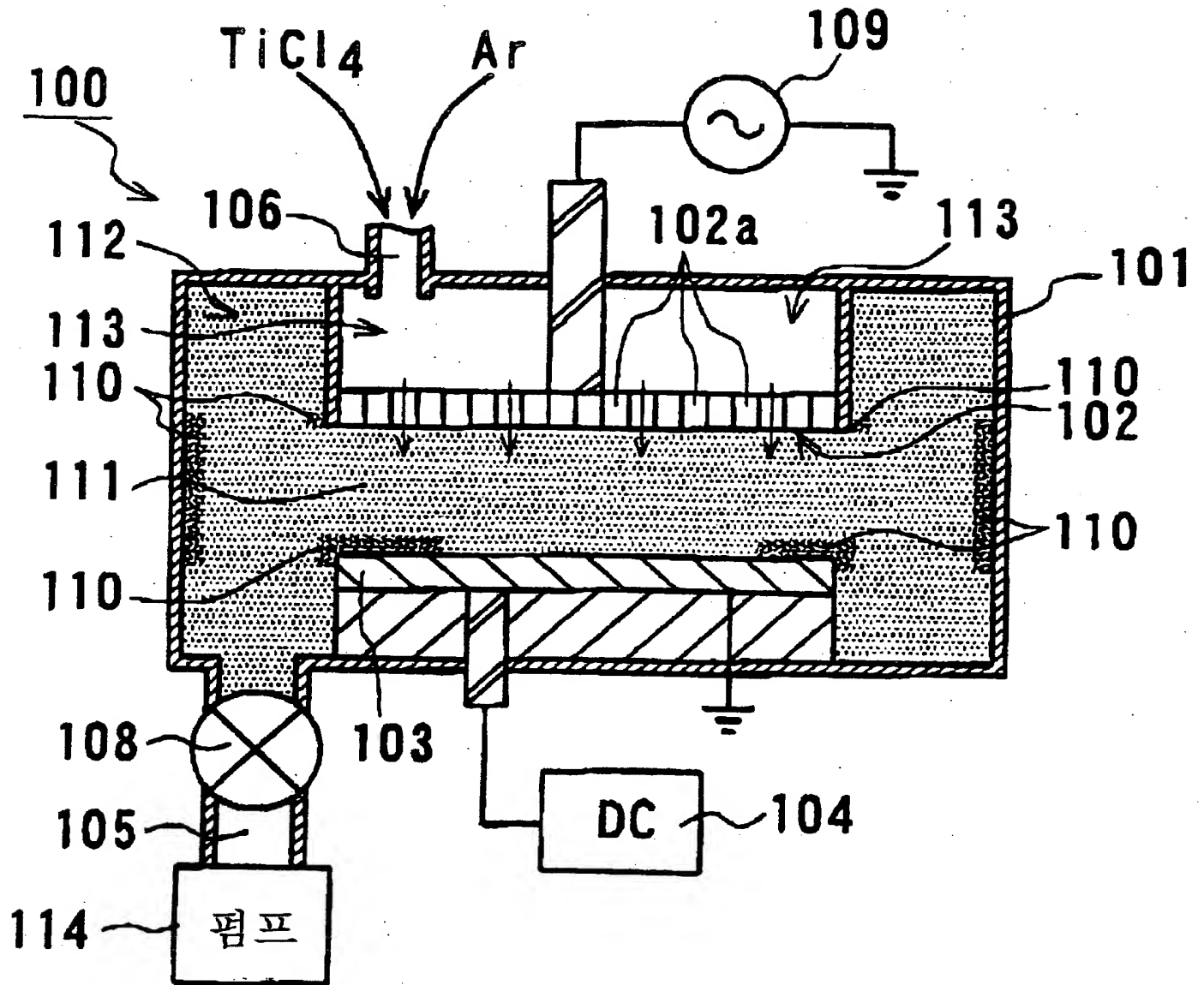
도면 3a



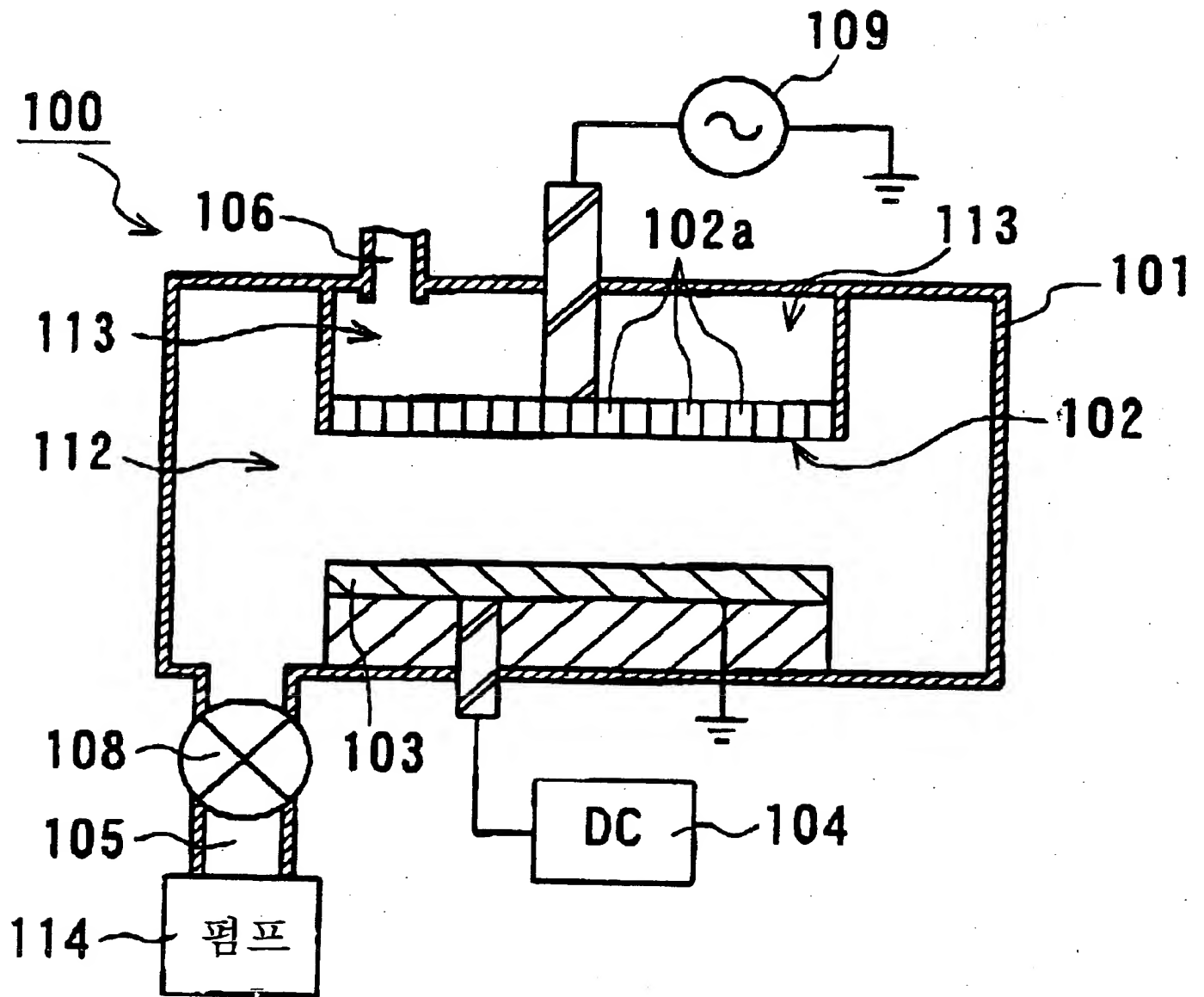
도면 3b



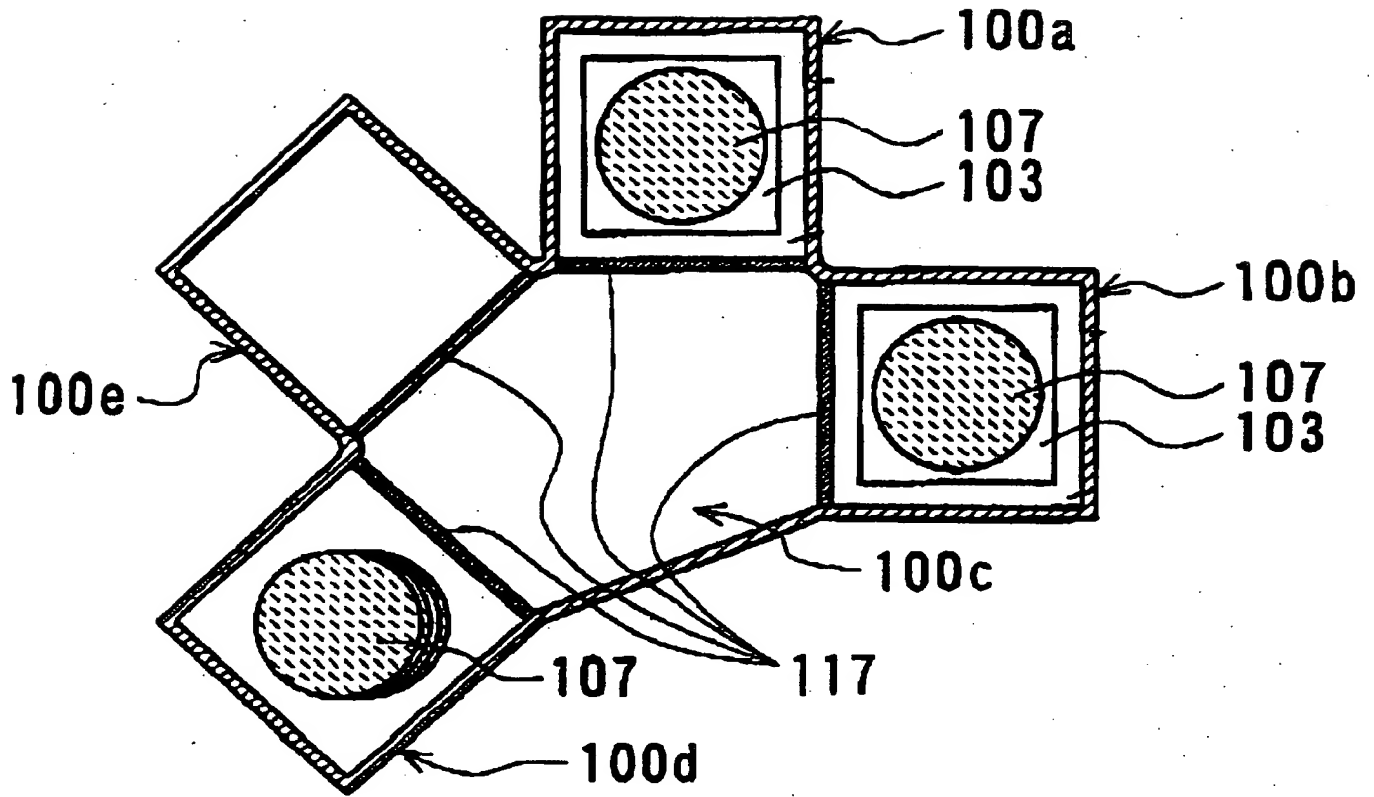
도면 3c



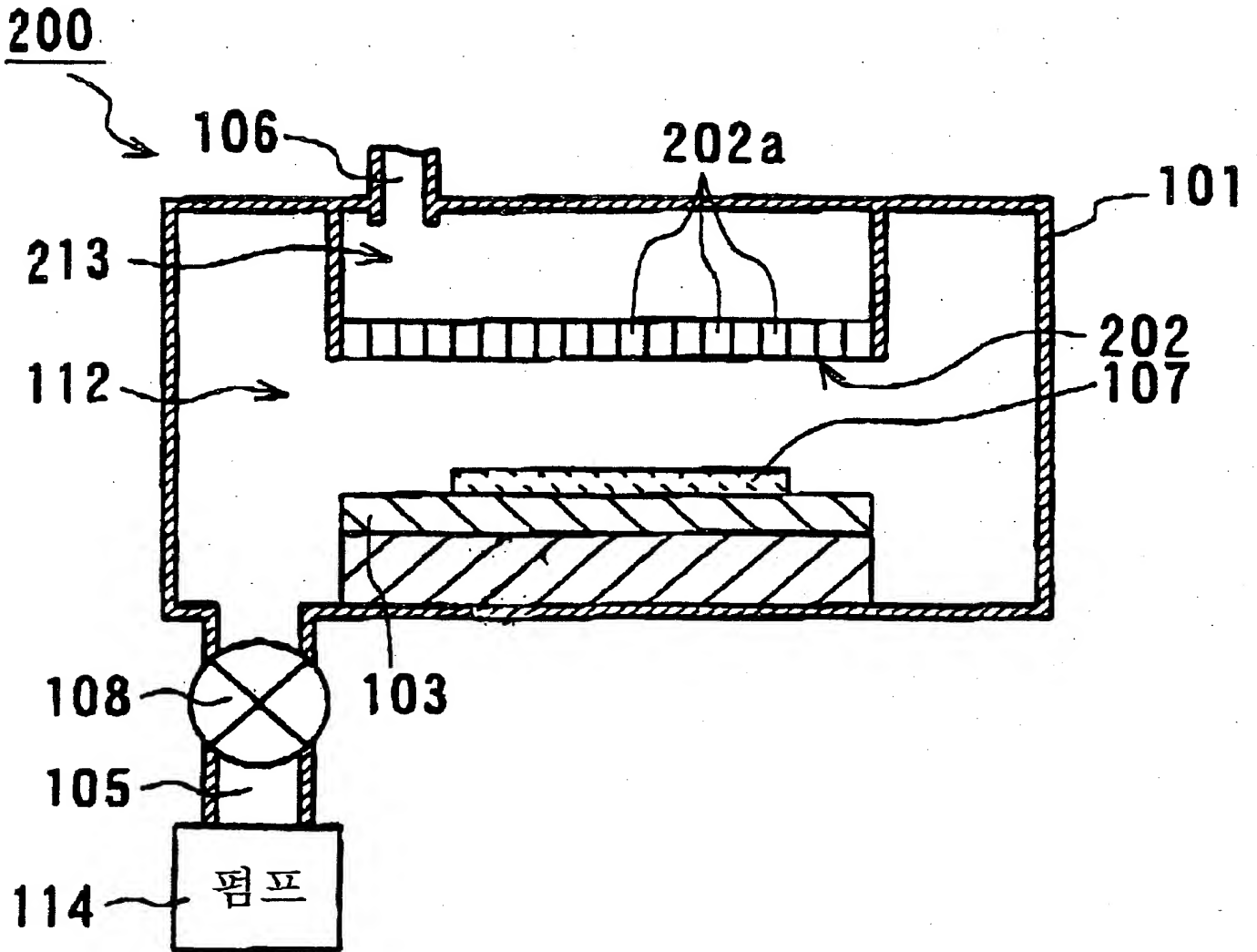
도면 3d



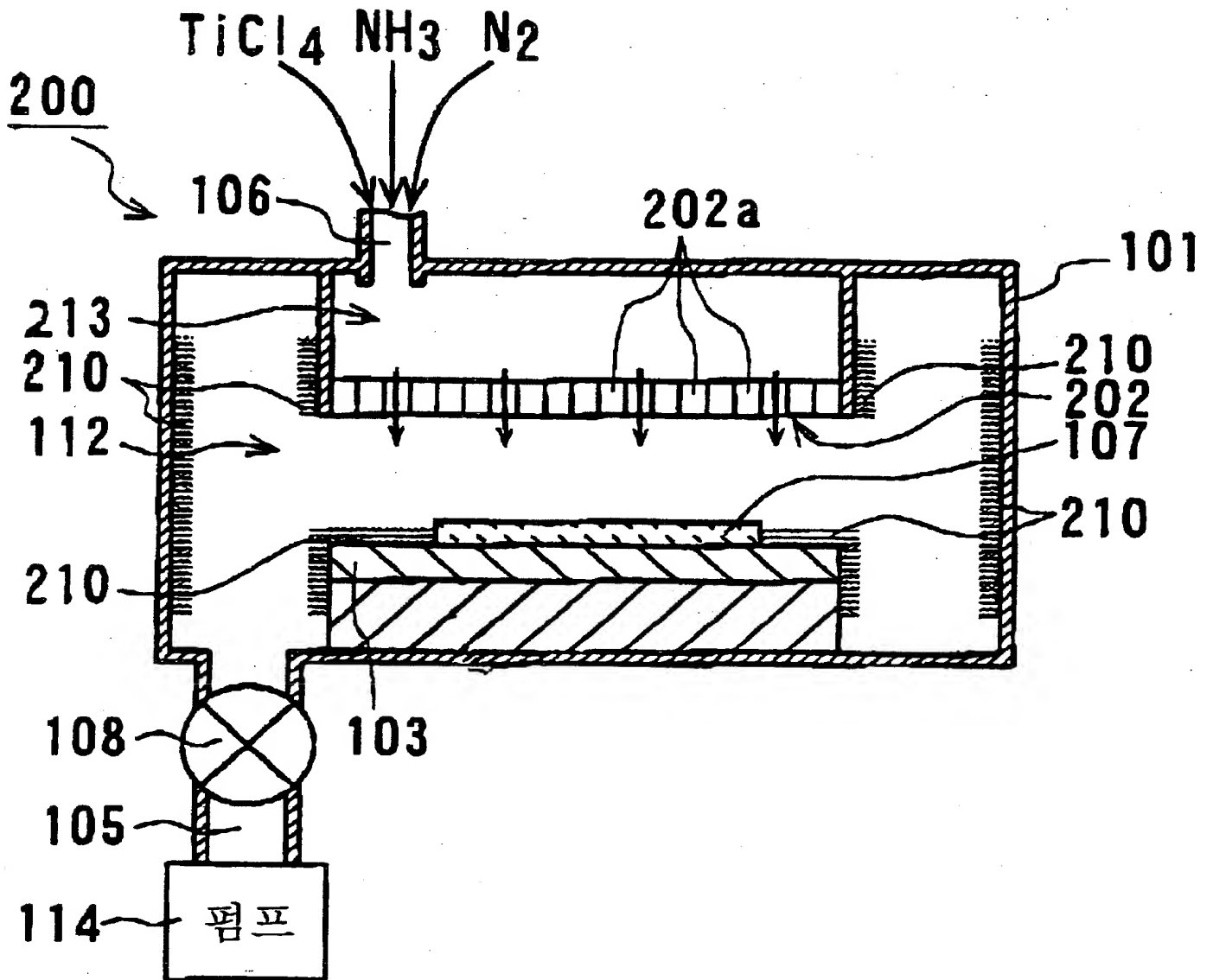
도면 4



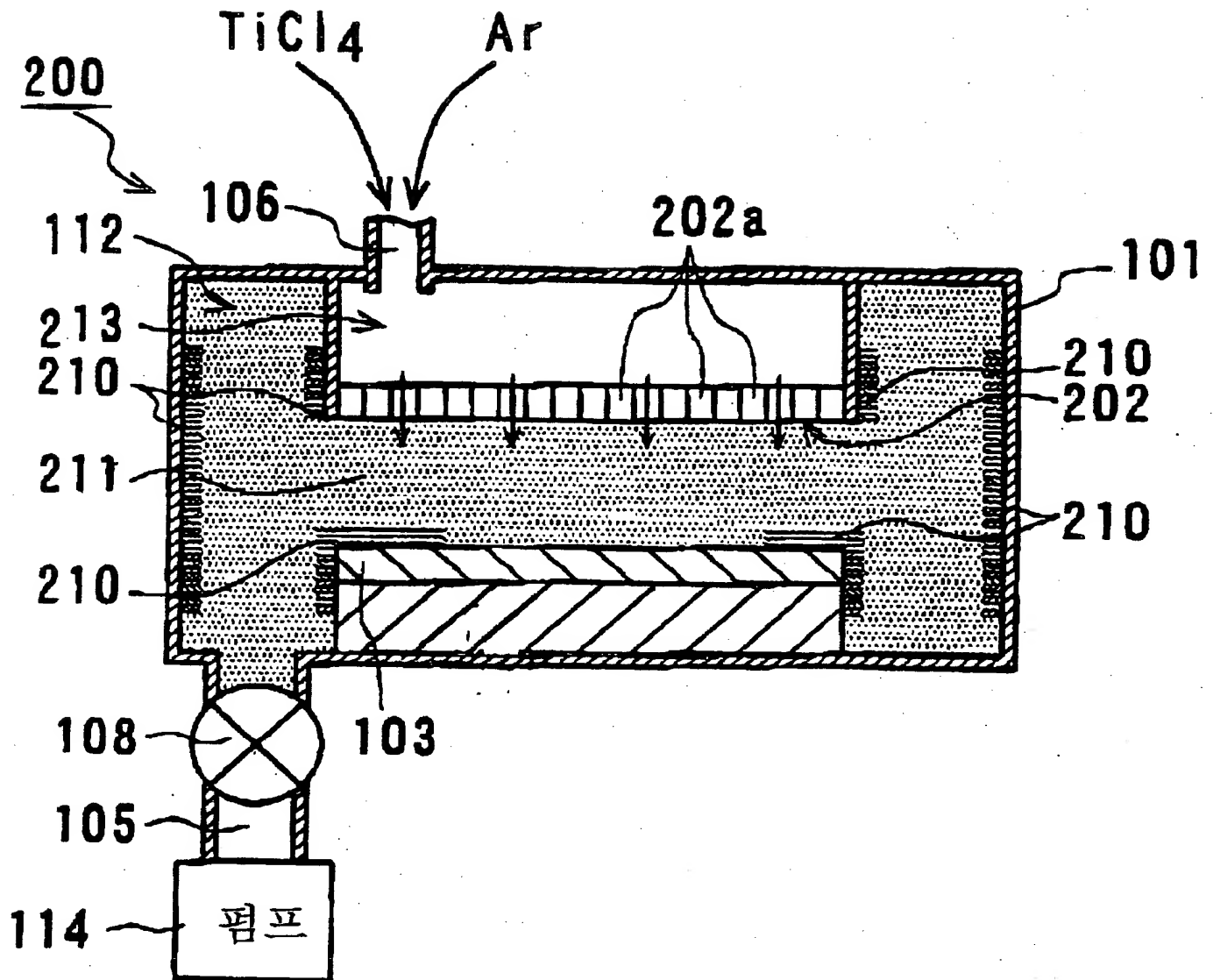
도면 5a



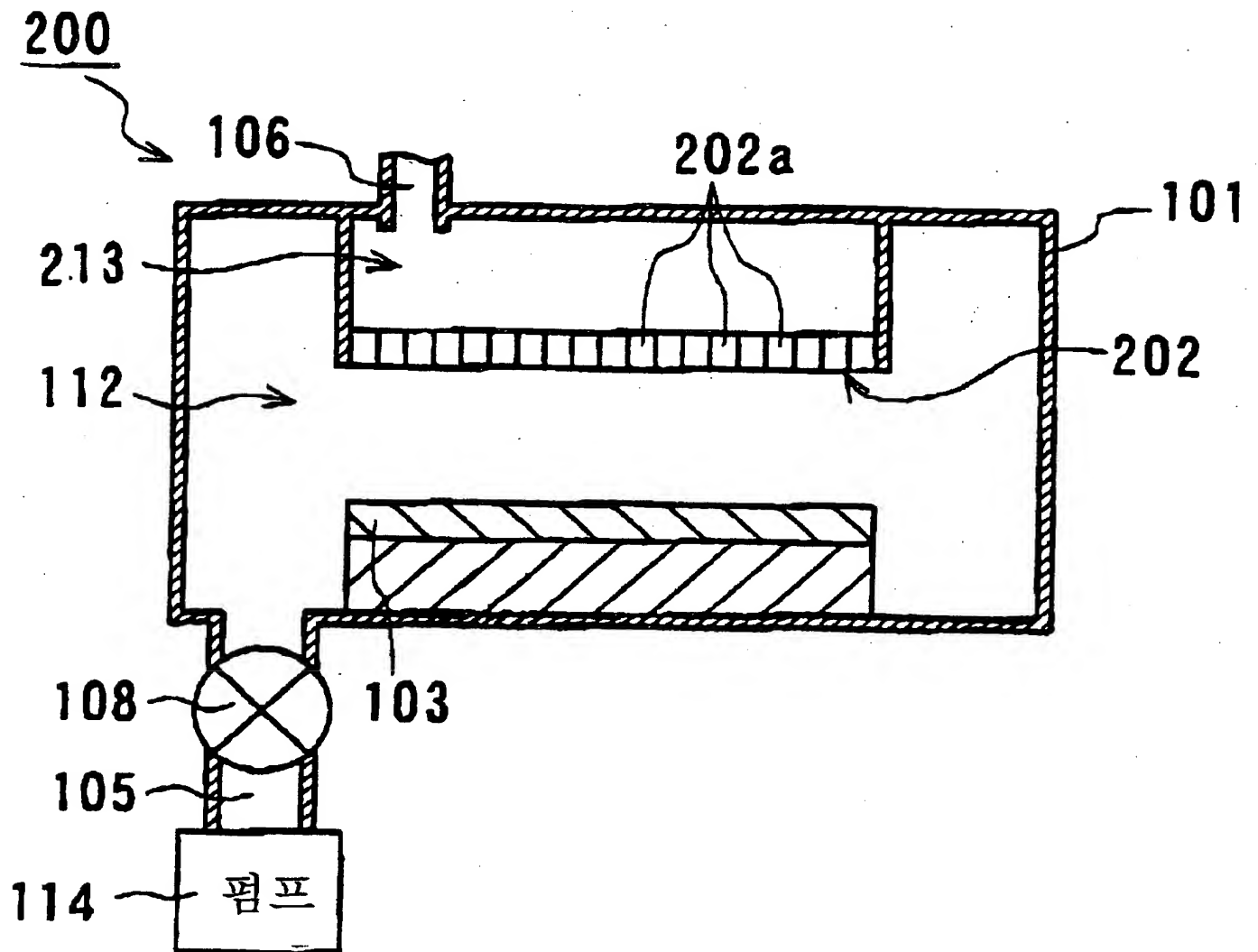
도면 5b



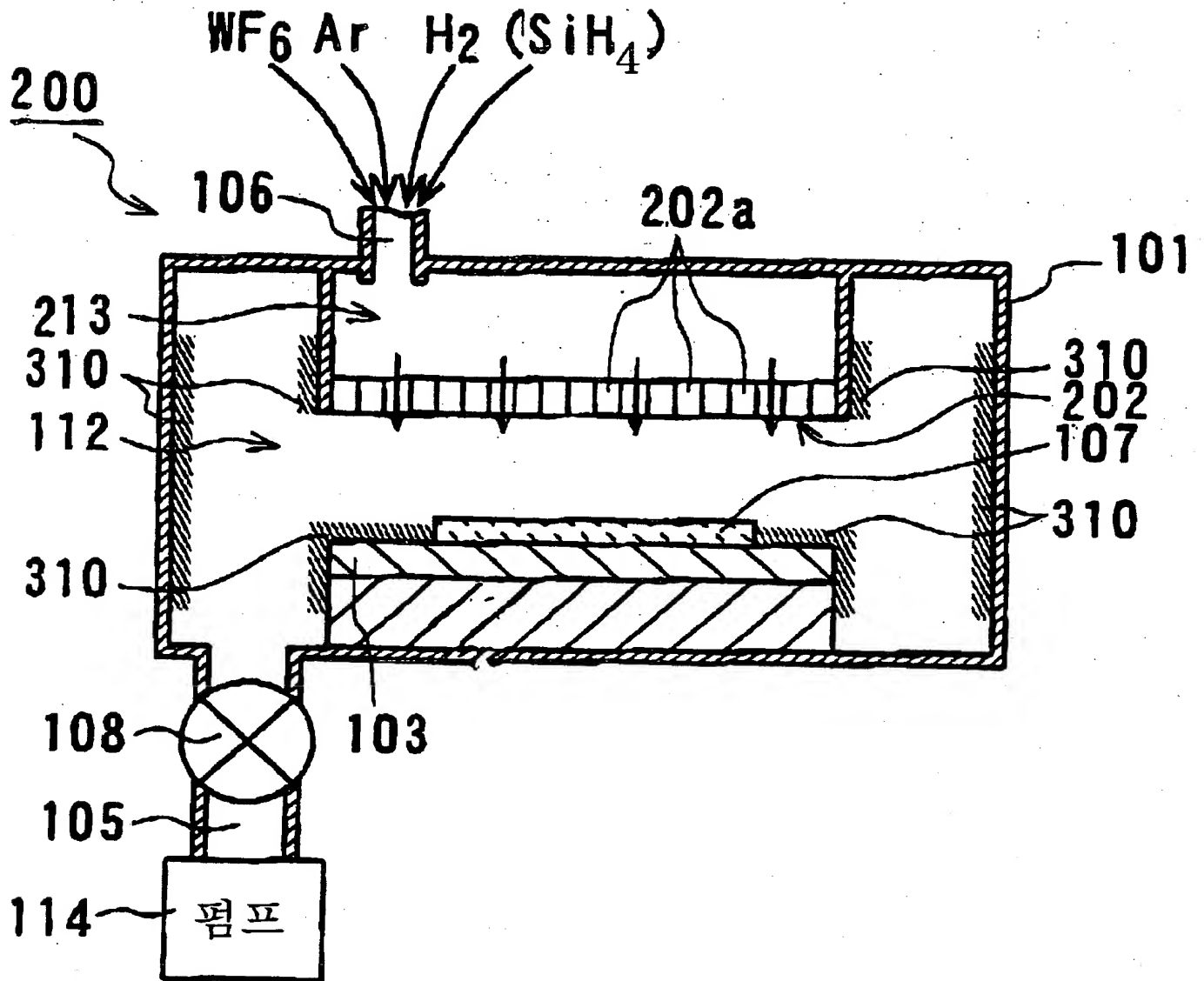
도면 5c



도면 5d



도면 6a



도면 6b

